مجله محاسبات نرم
JOURNAL SOFT COMPUTING
تارنمای مجله: scj.kashanu.ac.ir
دانشگاه کاشان
University of Kashan

طراحی و بهینه‌سازی بلوک ورودی-خروجی دیجیتال با ترانزیستورهای نانونوار گرافنی✧

هادی شیروانی فیل‌آبادی[۱]، کارشناسی‌ارشد، حسین کریمیان[۲*]، استادیار
[۱ و ۲] دانشکده برق و کامپیوتر، گروه مهندسی برق، دانشگاه کاشان، کاشان، ایران.

اطلاعات مقاله

تاریخچه مقاله:
دریافت ۱۸ فروردین ماه ۱۳۹۸
پذیرش ۲۵ فروردین ماه ۱۳۹۹

کلمات کلیدی:
گرافن
بلوک ورودی-خروجی
نانونوار گرافن
ترانزیستور گرافنی
فراسیلیکون
بافر خروجی

چکیده

در صنعت الکترونیک، کوچک‌تر و بهینه شدن افزاره‌ها هدف نهایی است؛ اما طبق پیش‌بینی‌های ITRS، سیلیکون به‌عنوان مادهٔ اصلی افزاره‌های نیمه‌رسانای امروزی، به‌دلیل محدودیت‌های فیزیکی به انتهای راه خود نزدیک شده است. به همین دلیل، محققان به دنبال مواد جدید برای جایگزینی سیلیکون هستند. تا به امروز، کربن و آرایش اتمی خاص آن گرافن به‌عنوان قوی‌ترین جایگزین مطرح بوده است. از بین اجزای مداری، بلوک ورودی-خروجی نیز به‌عنوان جزء جدایی‌ناپذیر سیستم‌های الکترونیکی، نیاز به طراحی مجدد و بهینه شدن دارد. در این مقاله، هدف امکان‌سنجی و طراحی بلوک ورودی-خروجی با استفاده از ترانزیستورهای اثرمیدانی گرافنی است. با استفاده از این ترانزیستورها هریک از اجزای تشکیل‌دهنده، طراحی و با نرم‌افزار HSPICE شبیه‌سازی و تحلیل شده است. سپس این اجزا در کنار هم قرار گرفته و یک بلوک ورودی-خروجی کامل مبتنی بر گرافن پیاده‌سازی شده است. بلوک ورودی-خروجی گرافنی با مشابه سیلیکونی مقایسه شده و نشان داده شده که تأخیر بلوک گرافنی حتی با ناهمواری لبه ۱۰٪، برابر ۲۹۹/۹۴ پیکوثانیه است که ۳۲٪ از نمونه سیلیکونی سریع‌تر است.

© ۱۳۹۹ – مجله محاسبات نرم، کلیه حقوق محفوظ است.

۱. مقدمه

با توجه به محدودیت‌های فیزیکی و طبق پیش‌بینی‌های ITRS، الکترونیک سیلیکونی به انتهای راه خود نزدیک شده است. علت آن مشکل اثرات کانال کوتاه است که سیلیکون در کوچک‌سازی ترانزیستورهای اثرمیدانی از خود بروز می‌دهد [۱]. همین موضوع باعث شده است که نیاز به مواد فراسیلیکونی در الکترونیک، روزبه‌روز بیشتر احساس شود. یکی از مواد فراسیلیکونی که توجه زیادی را به خود جلب کرده، مادهٔ کربن و چیدمان خاص اتم‌های آن در گرافن است [۱].

مطالعات زیادی برای پیاده‌سازی بخش‌های مختلف مدارهای آنالوگ و دیجیتال و بلوک‌های محاسباتی با استفاده از ترانزیستورهای گرافنی انجام شده است. در [۲] یک مدار مجتمع گرافنی ساده و در [۳] یک میکسر فرکانس بالا ساخته شده است. همچنین در [۴] یک فلیپ فلاپ گرافنی و در [۵] بلوک منطقی آرایهٔ منطقی برنامه‌پذیر با استفاده از ترانزیستورهای گرافنی طراحی و شبیه‌سازی شده است.

✧ نوع مقاله: پژوهشی
* نویسنده مسئول
پست‌های الکترونیک: hkarimiyan@kashanu.ac.ir (کریمیان)
h.shirvani@grad.kashanu.ac.ir (شیروانی فیل‌آبادی)

نحوه ارجاع به مقاله: شیروانی فیل‌آبادی، هادی، کریمیان، حسین، «طراحی و بهینه‌سازی بلوک ورودی-خروجی دیجیتال با ترانزیستورهای نانونوار گرافنی»، مجله محاسبات نرم، جلد ۷، شماره ۲، ص۲۴ـ۳۵، پاییز و زمستان ۱۳۹۷.

از طرفی، یکی از بخش‌های اصلی و ضروری تمامی تراشه‌های الکترونیکی همچون میکروپروسسورها، ASIC، FPGA و... بلوک ورودی–خروجی است. بلوک ورودی–خروجی، رابط میان درون تراشه و دنیای بیرون آن است که با رساندن اطلاعات بیرونی به داخل تراشه و ارسال اطلاعات پردازش شده توسط تراشه به خارج آن، این ارتباط کامل سیستمی را برقرار می‌کند. تراشه‌های الکترونیکی برای عملکرد سریع‌تر، نیاز به یک بلوک ورودی–خروجی بهینه و سریع دارند تا همان طور که پردازش اطلاعات با سرعت بالا انجام می‌گیرد، ارسال و دریافت آن‌ها هم با سرعت مناسب انجام پذیرد. یکی از وظایف اصلی بلوک ورودی–خروجی، راه‌اندازی خازن بار خارج از تراشه است که در مقایسه با خازن‌های داخلی ظرفیت نسبتاً بزرگی دارد [۶ و ۷].

با هدف رسیدن به تراشه‌های تمام کربنی، استفاده از ترانزیستورهای گرافنی در ساخت بلوک ورودی–خروجی می‌تواند به بهبود عملکرد بلوک و در نتیجه تراشه‌های الکترونیکی کمک کند. استفاده از ترانزیستورهای گرافنی همین طور به پیاده‌سازی بلوک ورودی–خروجی در سطح نانومتری که یکی از اهداف مهم صنعت الکترونیک می‌باشد، کمک خواهد کرد. این ترانزیستورها ابعاد بسیار کوچک‌تری دارند و دارای سرعت بالاتری هستند. با این کار می‌توان به بلوک ورودی–خروجی کوچک‌تر و سریع‌تر دست یافت. ازاین‌رو در این تحقیق، تک‌تک اجزای تشکیل‌دهندهٔ بلوک ورودی–خروجی بررسی و توسط ترانزیستورهای گرافنی طراحی و شبیه‌سازی می‌شوند. سپس با قرار دادن این اجزا در کنار هم، بلوک ورودی–خروجی تمام گرافنی تکمیل خواهد شد. بر اساس تحقیقات انجام‌شده، تاکنون پژوهش مشابهی انجام نشده است. بنابراین برای انجام یک مقایسه، همان بلوک ورودی–خروجی گرافنی که این بار با ترانزیستورهای سیلیکونی طراحی شده، شبیه‌سازی می‌شود و نتایج با نسخهٔ گرافنی مورد مقایسه قرار خواهد گرفت.

مقاله با این مطالب ادامه می‌یابد: بخش ۲، به معرفی نانومادهٔ گرافن و تاریخچه و ویژگی‌های آن می‌پردازد. در بخش ۳، بلوک ورودی–خروجی معرفی می‌شود و اجزای مختلف آن توضیح داده می‌شود. در بخش ۴، بافری بهینه برای خروجی طراحی می‌شود، سایر اجزای بلوک به آن اضافه می‌شوند، آنالیزهای مختلفی روی آن انجام می‌گیرد و سپس با نمونهٔ سیلیکونی مقایسه می‌شود. در بخش ۵ یک طرح‌بندی برای بلوک ورودی–خروجی گرافنی طراحی‌شده پیشنهاد می‌شود. در آخر، بخش ۶ به جمع‌بندی و نتیجه‌گیری می‌پردازد.

۲. الکترونیک گرافنی

تاکنون تلاش‌های زیادی برای انتخاب مادهٔ جایگزین سیلیکون در صنعت الکترونیک انجام شده است. مهم‌ترین و کاربردی‌ترین ماده تاکنون، کربن و ساختارهای گوناگون آن است. از آن جمله می‌توان به ترانزیستورهای نانولوله کربنی اشاره کرد که با جایگزینی یک نانولوله کربنی به‌جای کانال ترانزیستور ساخته می‌شوند. این نوع از ترانزیستورها به‌دلیل مشکلات ساخت از اقبال خوبی برخوردار نبودند [۸].

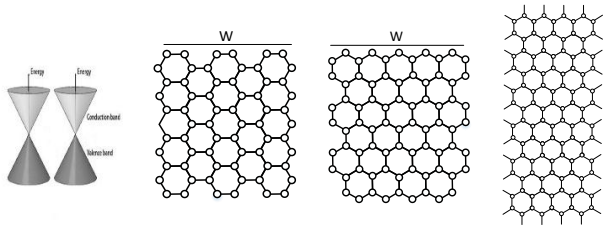
ساختار دیگر کربن که توجه زیادی را در زمینهٔ الکترونیک فراسیلیکونی به خود جلب کرده، گرافن است. گرافن چیدمان دوبعدی از کربن است که در ساختاری شش‌وجهی وسعت یافته است. این ساختار شش‌وجهی در شکل (۱–الف) آمده است. ویژگی‌های منحصربه‌فرد گرافن از جمله ضریب انتقال گرمای بالا و قابلیت تحرک بالای حامل‌های بار، باعث شده است که این ماده به‌عنوان محتمل‌ترین جایگزین سیلیکون در صنعت الکترونیک قلمداد شود [۹].

با اینکه گرافن برای نخستین بار در سال ۲۰۰۴ کشف شد، پیش از آن، به‌عنوان مادهٔ تشکیل دهندهٔ گرافیت شناخته شده بود. اولین بار دانشمندان با قرار دادن گرافیت در معرض اسید قوی، تعلیقی از کریستال‌های باریک گرافن‌اکسید به دست آوردند. پس از آن با خشک کردن گرافن اکسید به گرافن دست یافتند. روش دیگری که برای به‌دست‌آوردن گرافن از گرافیت به کار برده شد، رشد هم‌بافتهٔ گرافن بود [۱۰].

پس از کشف گرافن، تلاش‌ها برای استفاده از آن در صنعت الکترونیک شروع شد؛ زیرا با آزمایش‌ها معلوم شد که گرافن

دارای ویژگی‌های منحصربه‌فرد الکتریکی است و اولین ترانزیستور اثرمیدانی گیت بالایی که کانال آن از گرافن تشکیل شده بود، توسط محققان ساخته شد [۱۱]. پس‌از آن با به‌کارگیری روش‌های نوین ساخت، به ترانزیستورهای گرافنی با سرعت بالا دست یافتند [۱۲]. اما در این میان، عده‌ای از دانشمندان موفق شدند ترانزیستورهای اثرمیدانی بسازند که کانال آن‌ها متشکل از نانونوارهای گرافنی بود [۱۳].

نانونوارهای گرافنی، نوارهایی از گرافن با عرض زیر ۱۰ نانومتر هستند. همان طور که در شکل (۱–ب) آمده است، نانونوارها بسته به زاویهٔ برش به دو نوع زیگزاگی و آرمیچری دسته‌بندی می‌شوند. در شکل (۱–ج) دیاگرام انرژی گرافن نیز آورده شده است. با توجه به شکل (۱–ج)، در گرافن شکاف انرژی میان لایهٔ هدایت و لایهٔ ظرفیت، در نقاط دیراک صفر است. این موضوع یکی از مشکلات اصلی گرافن در راه جایگزینی سیلیکون بود. یکی از راه‌های ایجاد شکاف انرژی در گرافن و تبدیل آن به نیمه‌رسانا، برش آن به‌صورت نانونوار است. در ترانزیستورهای اثرمیدانی نانونوارگرافنی، که به GNRFET مشهورند، شکاف انرژی به‌اندازه‌ای است که نسبت جریان روشن به خاموش به‌حدی می‌رسد که آن را برای کاربردهای نیمه‌هادی مناسب می‌کند [۱۴].



شکل (۱): الف. ساختار شش‌وجهی گرافن؛ ب. نانونوار گرافنی نوع a–آرمیچر b–زیگزاگ؛ ج. دیاگرام انرژی گرافن

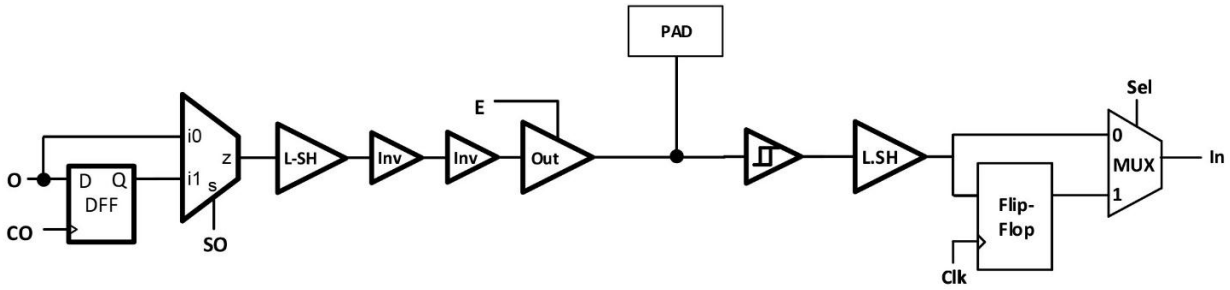
۳. طراحی بلوک ورودی–خروجی گرافنی

یکی از بخش‌های اساسی هر تراشهٔ الکترونیکی بلوک ورودی–خروجی است. این بلوک رابط میان داخل تراشه و دنیای بیرون آن است و باید بتواند اطلاعات ارسالی و دریافتی تراشه را با سرعت مناسب به‌ترتیب، به بیرون و درون تراشه هدایت کند [۷]. بلوک ورودی–خروجی طراحی‌شده در این تحقیق، یک بلوک دوطرفهٔ دیجیتال استاندارد است. بنابراین باید بتواند نیازهای مشخصی را که به داخل و خارج تراشه مربوط‌اند، برطرف سازد. به‌ازای هر نیاز، یک مدار به بلوک ورودی–خروجی اضافه خواهد شد. این نیازها و مدار پاسخ‌گوی هرکدام، در ادامه معرفی شده‌اند.

مهم‌ترین بخش بلوک ورودی–خروجی استاندارد، بافر خروجی است. بافر خروجی باید بتواند خازن بار خروجی را با سرعت مناسب راه‌اندازی کند. با این کار، سرعت انتقال داده به دنیای بیرون افزایش خواهد یافت. بافر خروجی از رشته‌ای از معکوس‌کننده‌ها که اندازهٔ آن‌ها در طول رشته به‌صورت تصاعدی افزایش می‌یابد، تشکیل شده است. این رشتهٔ معکوس‌کننده‌ها در بخش بعدی طراحی خواهد شد [۶].

بلوک ورودی–خروجی پیشنهادی، یک بلوک دوطرفه است. بنابراین مداری لازم است تا انتخابی میان عملکرد ورودی و خروجی بلوک داشته باشد. مدار مناسب، بافر سه‌حالته است. بافر سه‌حالته در آخرین طبقهٔ مسیر خروجی قرار می‌گیرد و زمانی که بلوک به‌عنوان ورودی عمل می‌کند، خروجی را در حالت امپدانس بالا قرار می‌دهد.

سطح ولتاژ درون تراشه با دنیای بیرون تراشه متفاوت است. معمولاً درون تراشه به‌علت پردازش‌های بالا از یک سطح ولتاژ پایین‌تر از دنیای بیرون استفاده می‌کند. در این تحقیق، سطح ولتاژ درون تراشه ۰/۵ ولت و دنیای بیرون ۲/۵ ولت در نظر گرفته شده است. بنابراین سطح ولتاژ داده‌های ارسالی به بیرون تراشه می‌بایست افزایش یابند. همین طور سطح ولتاژ داده‌های واردشده به تراشه نیز باید کاهش داده شوند. مکانیزمی که در این طراحی تعادل میان سطوح ولتاژ را ایجاد می‌کند، مدار مبدل سطح ولتاژ است. مبدل سطح ولتاژ در اولین طبقه از مسیر خروجی و دومین طبقه از مسیر ورودی قرار می‌گیرد و ولتاژ داده را به‌ترتیب زیاد و کم می‌کند.



شکل (۲): بلوک **ورودی**–خروجی پیشنهادی

داده‌های واردشده به بلوک از دنیای بیرون، معمولاً مقدار قابل توجی نویز دارند. بلوک ورودی–خروجی استاندارد وظیفه دارد میزان این نویز را تا حد امکان کاهش دهد. در بلوک ورودی–خروجی پیشنهادی، کاهش نویز به کمک مدار اشمیت–تریگر انجام می‌شود. این مدار در اولین طبقه از مسیر ورودی بلوک و قبل از مدار مبدل سطح ولتاژ قرار می‌گیرد.

علاوه بر نیازهای ذکرشده، بلوک ورودی–خروجی استاندارد به یک مکانیزم برای ارسال و دریافت اطلاعات به‌صورت هم‌گام با یک پالس ساعت نیاز دارد. بلوک همین طور به یک مکانیزم برای انتخاب میان تبادل اطلاعات به‌صورت هم‌گام و غیرهم‌گام نیز نیاز دارد. این نیازها به‌ترتیب با مدار فلیپ‌فلاپ و مالتی پلکسر برطرف خواهند شد.

مدار بلوک ورودی–خروجی پیشنهادی در شکل (۲) آمده است. همان طور که مشاهده می‌کنید، تمام نیازمندی‌های بلوک استاندارد در این طراحی آورده شده است. پد، اتصالی فلزی است که به دنیای بیرون متصل خواهد شد.

۴. طراحی، شبیه‌سازی و تحلیل نتایج

۱.۴. مدل‌فایل

ترانزیستورهای اثرمیدانی نانونوار گرافنی به دو دستهٔ ماسفتی و سدشاتکی تقسیم می‌شوند. نوع ماسفتی برای کاربردهای دیجیتال مناسب‌تر است؛ زیرا دارای نسبت جریان روشن به خاموش بیشتری است. ساختار این نوع از ترانزیستورهای گرافنی، شبیه به ترانزیستورهای اثرمیدانی سیلیکونی است با این تفاوت که کانال ترانزیستور به‌جای سیلیکون، تعدادی نانونوار گرافن دوبعدی است که از سورس به درین وصل شده‌اند [۱۵].

لبه‌های نانونوار، نقش بسیار مهمی در عملکرد ترانزیستور دارد. بسته به آرایش اتم‌های لبهٔ نانونوار، آن‌ها را به دو دستهٔ زیگزاگ و آرمیچر تقسیم می‌کنند. این ساختارها در شکل (۱–ب) نشان داده شده‌اند. نوع زیگزاگ خاصیت فلزی دارد؛ اما نانونوارهای آرمیچر، تحت شرایطی، خاصیت نیمه‌هادی پیدا می‌کنند. ناهمواری‌های لبهٔ نانونوار پدیدهٔ دیگری است که مربوط به لبه‌های نانونوار است و در اثر فرایند ساخت ایجاد می‌شود. هرچه ناهمواری‌ها کمتر باشد، ترانزیستور عملکرد بهتری خواهد داشت [۱۵].

در این تحقیق از یک مدل GNRFET سازگار با HSPICE در انجام شبیه‌سازی‌ها استفاده شده است [۱۵]. در این مدل متغیرهای ابعاد فیزیکی، فرایند ساخت و ناهمواری‌های لبه لحاظ شده و همچنین امکان تحلیل‌های تأخیر و توان مصرفی فراهم آمده است. برخی از پارامترهای مورد استفاده در این مدل در ادامه معرفی خواهند شد. همچنین در شکل (۳) هریک از این پارامترها نشان داده شده‌اند.

L: طول کانال؛

nRib: تعداد نانونوارهای افزاره؛

N: تعداد اتم‌های کربن در عرض هر نانونوار؛

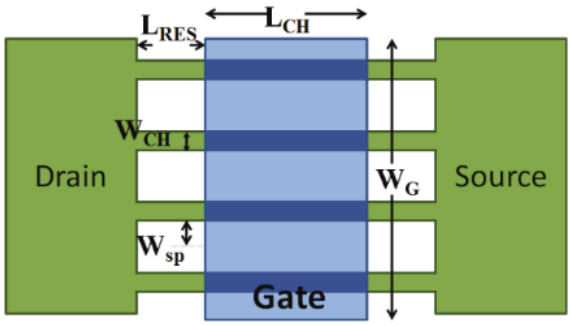
P: درصد ناهمواری لبه؛

dop: میزان دوپینگ سورس و درین؛

Tox: ضخامت دی‌الکتریک گیت بالایی؛

Tox2: ضخامت دی‌الکتریک میان کانال و زیرلایه.

مقدار پارامترهای مدل‌فایل معرفی‌شده، هریک دارای بازهٔ مجازی هستند. این بازه‌ها در جدول (۱) فراهم شده‌اند.



شکل (۳): ترانزیستور اثر میدانی نانونوار گرافنی شبه‌ماسفتی همراه با پارامترهای آن

جدول (۱): مقادیر مجاز پارامترهای مدل GNRFET

پارامتر	مقدار مجاز	
	بیشینه	کمینه
طول کانال	۱۰ نانومتر	۱۰۰ نانومتر
عرض کانال به‌ازای هر GNR	۰/۸۷۳۸ نانومتر	۶/۳۶ نانومتر
تعداد نانونوار در هر افزاره	۱	نامحدود
ضخامت اکسید (کمینه)	۰/۵ نانومتر	۲/۵ نانومتر
ناهمواری لبه (کمینه)	٪۰	٪۲۰
میزان دوپینگ (کمینه)	۰/۰۰۱	۰/۰۱۵

۲.۴. طراحی بافر خروجی

در طراحی بافر خروجی، همان طور که پیش‌تر گفته شد، نکتهٔ بسیار مهم این است که بافر توانایی راه‌اندازی خازن بزرگ خروجی را با سرعت مناسب داشته باشد. برای طراحی بافری که این ویژگی را داشته باشد، از محاسبات [۶] که برای ترانزیستورهای سیلیکونی انجام شده و ویژگی‌های سیلیکون در آن در نظر گرفته شده است، استفاده می‌شود. ابتدا یک بافر بهینهٔ سیلیکونی طراحی و سپس بافر سیلیکونی به بافر گرافنی نگاشت خواهد شد.

معکوس‌کنندهٔ سیلیکونی، که از ترانزیستورهای PMOS و NMOS سری تشکیل شده است، دارای یک مدل خازن–مقاومت است. مقاومت، برابر مقاومت متوسط درون کانال است و خازن، جمع کل خازن‌های پارازیتی ترانزیستور، خازن بار و خازن سیم است [۶]. شکل (۴) مدل خازن–مقاومت را برای یک معکوس‌کننده نشان می‌دهد. مشاهده می‌شود که در زمان شارژ، ترانزیستور PMOS روشن و با یک مقاومت مدل می‌شود و ترانزیستور NMOS خاموش و با یک کلید باز مدل می‌شود. به همین صورت، وقتی خازن در زمان تخلیه شارژ است، ترانزیستور PMOS و NMOS به‌ترتیب با کلید باز و مقاومت مدل می‌شوند. با استفاده از مدل خازن–مقاومت می‌توان تأخیر انتشار یک معکوس‌کننده را تخمین زد. سپس این محاسبات را به یک رشتهٔ معکوس‌کننده‌ها بسط داد و تأخیر انتشار آن را به دست آورد. تأخیر انتشار رشته‌ای از معکوس‌کننده‌ها که در شکل (۵) نشان داده شده، به‌صورت معادلهٔ (۱) است.

$$t_P = \sum_{j=1}^{N} t_{P,j} = t_{P0} \sum_{j=0}^{N} \left(1 + \frac{C_{g,j+1}}{C_{g,j}}\right) = t_P = N t_{P0}\left(1 + \frac{f}{\delta}\right) \qquad (۱)$$

t_P تأخیر انتشار کل رشته، $t_{P,j}$ تأخیر انتشار طبقهٔ jام، t_{P0} تأخیر انتشار ذاتی معکوس‌کننده، $C_{g,j}$ خازن گیت معکوس‌کنندهٔ طبقهٔ jام، N تعداد طبقات معکوس‌کننده در رشته و f ضریب اندازهٔ ترانزیستورهای معکوس‌کننده در طول رشته است. برای به‌دست‌آوردن مقادیر N و f بهینه از معادلهٔ (۱) نسبت به N مشتق گرفته می‌شود. نتیجه، معادلهٔ (۲) خواهد شد.

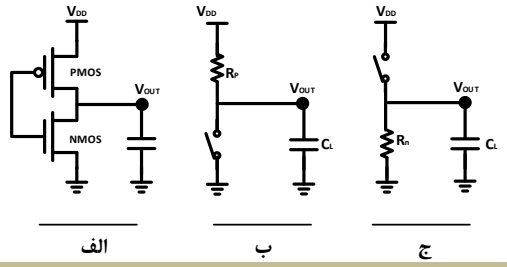
$$\frac{\delta t_P}{\delta N} = 0 \Rightarrow \delta + \sqrt[N]{F} - \frac{\sqrt[N]{F} \ln F}{N} = 0 \qquad (۲)$$

سرانجام، معادلهٔ (۲) معادله‌ای است که تعداد طبقات و اندازهٔ ترانزیستورهای بافر برای یک خازن بار و خازن گیت معین را به دست می‌دهد. در این معادله، F ضریب اندازهٔ کل و برابر $C_L / C_{g,1}$ است.

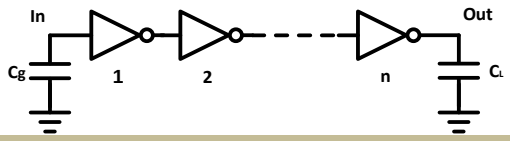
تکنولوژی استفاده‌شده در این مطالعه، تکنولوژی ۳۲ نانومتر PTM است [۱۶]؛ زیرا مدل فایل گرافنی که پیش‌تر معرفی شد، محدودیت طول کانال زیر ۱۰۰ نانومتر دارد، پس می‌بایست مدل‌فایل زیر ۱۰۰ نانومتر برای سیلیکون انتخاب کرد. از طرفی مدل‌فایل در دسترسی که هم کوچک‌ترین طول کانال را داشته باشد و هم نسخهٔ ولتاژبالا داشته باشد، تکنولوژی ۳۲ نانومتر است. داده‌های مورد نیاز معادلهٔ (۲) برای تکنولوژی ۳۲ نانومتر MOSFET در جدول (۲) آمده است. پس از قرار دادن این داده‌ها در معادلهٔ (۲)، مقادیر N و f به‌ترتیب برابر ۹ و ۳/۱۶ خواهند شد؛ یعنی بافر طراحی‌شده دارای ۹ طبقهٔ معکوس‌کننده می‌باشد که اندازهٔ هر طبقه، ۳/۱۶

برابر طبقهٔ پیش از خود است.

باید توجه داشت که مدل بیان‌شده برای محاسبات، یک مدل تقریبی است و مدل به‌کاررفته در شبیه‌سازی‌ها دقیق‌تر است و پارامترهای بیشتری از جمله اثرات کانال کوتاه را در نظر می‌گیرد. بنابراین انتظار می‌رود که در شبیه‌سازی‌ها مقادیر بهتری برای تأخیر انتشار استخراج شود. البته نتایج به‌دست‌آمده از محاسبات نیز بسیار باارزش هستند، چون نقطهٔ آغاز خوبی برای شبیه‌سازی‌ها در فضای بیکران (N,f) می‌دهند. با استفاده از نرم‌افزار HSPICE، بافرهای از ۹ تا ۵ طبقه به‌ازای ضریب اندازه‌های از ۲ تا ۲۰ شبیه‌سازی شده‌اند. شکل (۶) نمودارهای تأخیر انتشار به‌ازای ضریب اندازه از ۲ تا ۲۰، برای بافر ۵ تا ۹ طبقه را نشان می‌دهد. مشاهده می‌شود که در هر بافر با افزایش ضریب اندازه، تأخیر انتشار ابتدا کم می‌شود و سپس شروع به افزایش می‌کند. بنابراین در هر بافر، یک نقطهٔ کمینه برای تأخیر انتشار وجود دارد.



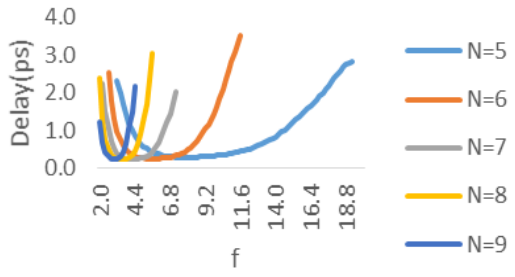
شکل (۴): الف. معکوس‌کننده؛ ب. مدل RC در زمان شارژ خازن؛ ج. مدل RC در زمان تخلیهٔ شارژ خازن



شکل (۵): بافر N طبقه برای راه‌اندازی خازن بار بزرگ

جدول (۲): داده‌های مورد نیاز معادلهٔ ۱۷ برای تکنولوژی ۳۲ نانومتر

پارامترها	مقادیر
tP0	۳۰pS
Cg	۰/۳۲fF
δ	۱
CL	۱۰pF



شکل (۶): تأخیر انتشار بافر خروجی به‌ازای N و f های مختلف

با توجه به شکل (۶)، مقدار تأخیر کمینهٔ بافرهای مختلف بسیار به هم نزدیک هستند. بنابراین برای انتخاب منصفانه از میان آن‌ها، پارامتر سومی نیز در نظر گرفته می‌شود که حاصلضرب تأخیر انتشار در توان مصرفی (PDP) است. نقاط کمینه، به همراه مقادیر تأخیر و حاصلضرب تأخیر در توانشان، در جدول (۳) آمده‌اند. با توجه به داده‌های جدول، بهترین انتخاب، N و f به‌ترتیب برابر ۵ و ۷/۸ است. بنابراین بافر خروجی طراحی‌شده، که از لحاظ تعداد طبقات، ضریب اندازهٔ ترانزیستورها، تأخیر انتشار و PDP مقدار بهینه را دارد، دارای ۵ طبقهٔ معکوس‌کننده است که اندازهٔ هر معکوس‌کننده از ضرب عدد ۷/۸ در اندازهٔ ترانزیستورهای طبقهٔ قبلی به دست خواهد آمد.

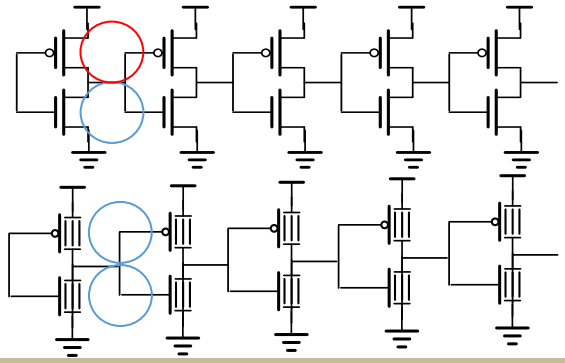
جدول (۳): پارامترهای f و PDP برای بافرهای بهینه از نظر تأخیر

تعداد طبقات (N)	f	تأخیر (ns)	PDP (pj)
۵	۷/۸	۰/۲۴۸	۱/۵۳۰
۶	۵/۶	۰/۲۵۱	۱/۵۴۹
۷	۴/۲	۰/۲۴۲	۱/۵۱۸
۸	۳/۴	۰/۲۴۲	۱/۵۴۷
۹	۳	۰/۲۴۴	۱/۶۲۶

۳.۴. نگاشت و تکمیل بلوک ورودی-خروجی گرافنی

برای نگاشت بافر سیلیکونی طراحی‌شده به بافر گرافنی، باید ترانزیستورهای گرافنی را هم‌اندازه با ترانزیستورهای سیلیکونی انتخاب کرد. طول و عرض ترانزیستورهای NMOS طبقهٔ اول بافر سیلیکونی به‌ترتیب برابر ۳۲ و ۴۰ نانومتر است. برای اینکه این طبقه از بافر سیلیکونی به‌طور منصفانه به بافر گرافنی نگاشت شود، باید پارامترهای ترانزیستورهای نانونوارگرافنی را طوری انتخاب کرد که اندازهٔ ترانزیستورهای گرافنی با

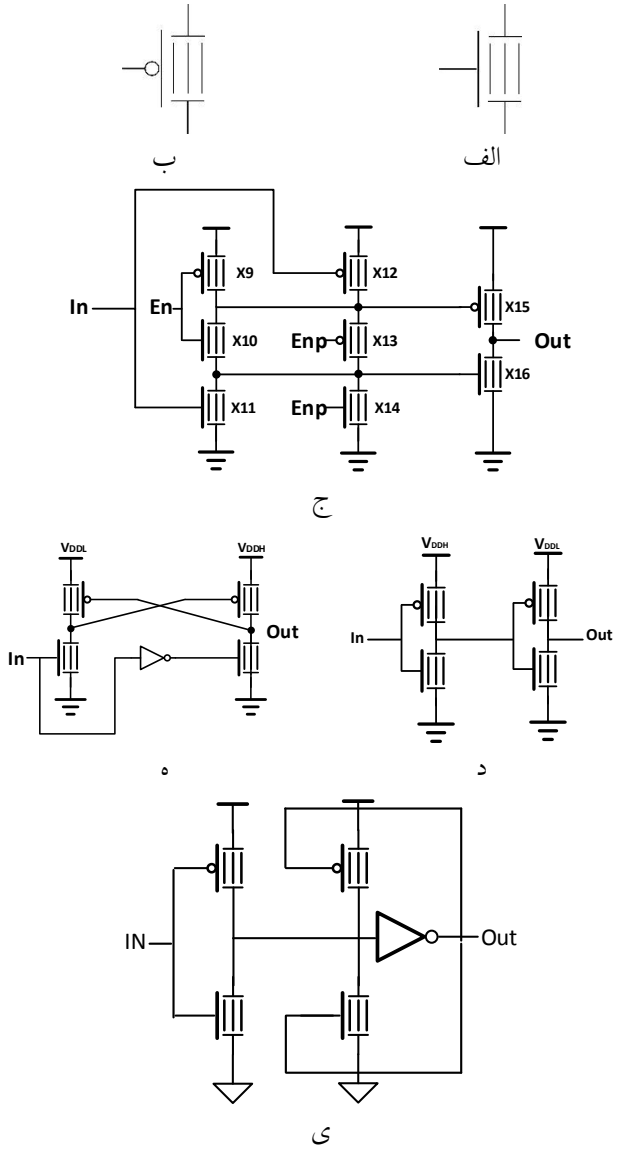
ترانزیستورهای سیلیکونی برابر شوند. با انتخاب n-Rib=21، N=15 و Lch=32nm، نگاشت طبقهٔ اول بافر سیلیکونی به گرافنی انجام می‌شود. سایر طبقات، از ضرب f در n-Rib ترانزیستورهای طبقهٔ قبل ساخته می‌شوند. این نکته بسیار حائز اهمیت است که نگاشت‌های طبقهٔ اول بافر گرافنی از ترانزیستور NMOS طبقهٔ اول بافر سیلیکونی نشئت گرفته؛ زیرا یکی از ویژگی‌های منحصربه‌فرد GNRFETها برابر بودن قابلیت تحرک نوع n و نوع p آن‌هاست. بنابراین افزایش عرضی که در ترانزیستورهای PMOS برای برابر کردن تأخیر انتشار آن‌ها با NMOS انجام می‌شد، در GNRFETها نیاز نیست. این نکته و نگاشت بافر در شکل (۷) نشان داده شده است.



شکل (۷): نحوهٔ نگاشت بافر سیلیکونی طراحی‌شده به بافر گرافنی

برای تکمیل بلوک ورودی–خروجی، می‌بایست هریک از مدارهای استفاده‌شده در شکل (۲) با ترانزیستورهای GNRFET طراحی و سپس به بلوک اضافه شوند.

مدار مورد استفاده برای بافر سه‌حالته در شکل (۸–ج) نشان داده شده است. این مدار در میان بافرهای سه‌حالتهٔ رایج، مناسب‌ترین بافر سه‌حالته برای طراحی انجام شده است؛ زیرا بافر سه‌حالته در طبقهٔ آخر بافر خروجی که دارای بزرگ‌ترین ترانزیستورهاست، قرار می‌گیرد. بنابراین بافر سه‌حالته مورد استفاده باید کمترین تعداد ترانزیستور را داشته باشد. همچنین در شکل (۸–الف و ب) یک نماد مداری برای به‌ترتیب N-GNRFET و P-GNRFET معرفی شده است. همچنین مدارات مبدل سطح‌ولتاژ در شکل (۸–د و ه) آورده شده است. این نکته حائز اهمیت است که مدار مبدل سطوح ولتاژ پایین به سطوح ولتاژ بالا (LtoH) با سطوح ولتاژ بالا به پایین (HtoL) با هم متفاوت است. علت این است که مبدل HtoL توانایی افزایش ولتاژ را ندارد. فلیپ‌فلاپ و مالتی‌پلکسر مبتنی بر GNRFET قبلاً در [۴] طراحی شده که در این تحقیق از آن‌ها استفاده شده است. همان طور که پیش‌تر بیان شد، به‌منظور کاهش نویز اطلاعات ورودی به تراشه، از یک اشمیت‌تریگر در مسیر ورودی بلوک استفاده می‌شود. مدار اشمیت‌تریگر استفاده‌شده در این تحقیق در شکل (۸–ی) آورده شده است. اشمیت‌تریگر با استفاده از فیدبک و ایجاد دو ولتاژ آستانهٔ متفاوت، یک ورودی پرنویز کند را به یک خروجی بدون نویز سریع تبدیل می‌کند.



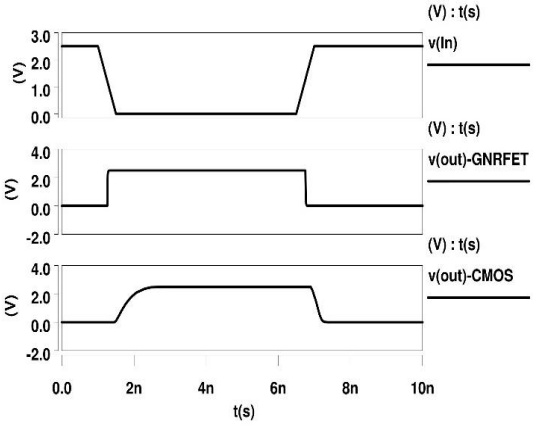
شکل (۸): الف. نماد مداری N-GNRFET؛ ب. نماد مداری P-GNRFET؛ ج. بافر سه‌حالته؛ د. مبدل سطح ولتاژ HL؛ ه. مبدل سطح ولتاژ LH؛ ی. اشمیت‌تریگر

برای تکمیل بلوک ورودی-خروجی طراحی‌شده، هریک از مدارات معرفی‌شده در جای خود در شکل (۲) قرار می‌گیرند. اندازهٔ پایه هر مدار در مسیر خروجی با اندازهٔ پایهٔ معکوس‌کننده‌ای که مدار جایگزین آن شده، برابر است. در مسیر ورودی نیز تمام اندازه‌ها با اندازهٔ طبقهٔ اول بافر گرافنی طراحی‌شده برابر است.

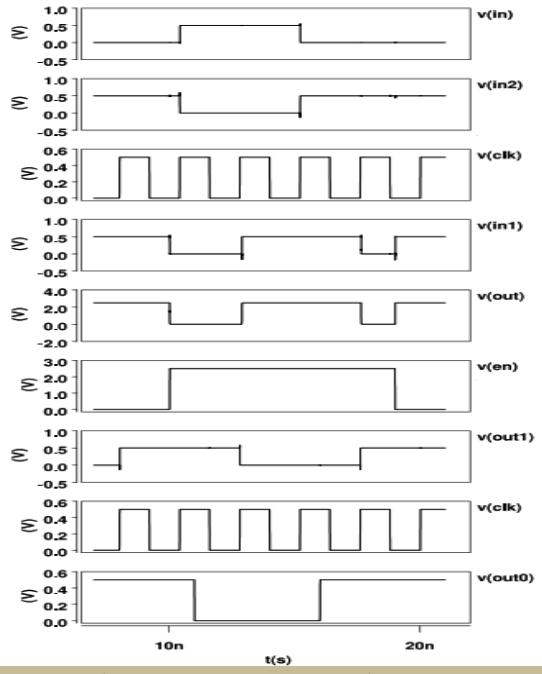
۴.۴. شبیه‌سازی، آنالیز و مقایسه

شکل (۹) شکل موج‌های حاصل از شبیه‌سازی بافر سیلیکونی و گرافنی را نشان می‌دهد. با توجه به این شکل، مشاهده می‌شود که بافر گرافنی طراحی‌شده از تأخیر انتشار کمتری برخوردار است. همچنین شکل (۱۰) شکل موج‌های حاصل از شبیه‌سازی بلوک ورودی-خروجی مبتنی بر گرافن کامل را نشان می‌دهد. با توجه به شکل مشاهده می‌شود که بلوک طراحی‌شده به‌درستی کار می‌کند.

پیش‌تر گفته شد دو شاخص تأخیر و حاصلضرب تأخیر در توان مصرفی، برای طراحی بافر در نظر گرفته شده است. اکنون می‌توان این دو شاخص را برای سایر اجزای بلوک هم به دست آورد. در جدول (۴) مقادیر این دو شاخص برای اجزای گرافنی در سه شرط ناهمواری لبه ۰٪، ۵٪ و ۱۰٪ آورده شده است. مشاهده می‌شود که با کاهش ناهمواری لبه، هم تأخیر و هم حاصلضرب تأخیر در توان کاهش می‌یابد. ناهمواری لبه موضوع مهمی در آیندهٔ نانونوارگرافن است و لذا تکنولوژی ساختی که نانونوارهای گرافنی با لبه‌های هموارتر بسازد، یکی از اهداف مهم در صنعت الکترونیک گرافنی خواهد بود.



شکل (۹): شکل موج پاسخ گذرای بافر گرافنی و سیلیکونی



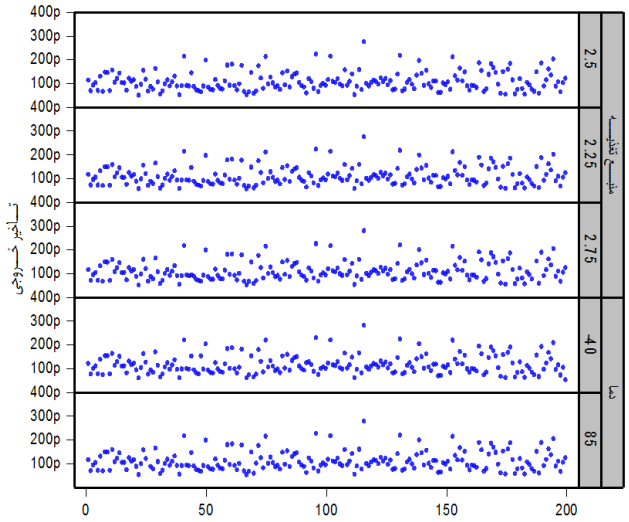
شکل (۱۰): پاسخ گذرای بلوک ورودی-خروجی گرافنی

تا آنجا که ما اطلاع داریم، تاکنون کار مشابهی در ضمینهٔ بلوک ورودی-خروجی مبتنی بر گرافن انجام نگرفته است. به همین سبب به‌منظور انجام یک مقایسه، نمونهٔ سیلیکونی متناظر با هر مدار گرافنی طراحی‌شده نیز شبیه‌سازی شده و با نمونهٔ گرافنی مقایسه شده است. بنابراین در جدول (۴) مقادیر دو شاخص تأخیر انتشار و PDP برای نمونهٔ سیلیکونی هم آورده شده است. با مقایسهٔ این مقادیر، با مقادیر گرافنی مشاهده می‌شود که در تمامی اجزا، ترانزیستورهای نانونوارگرافنی، دارای تأخیر کمتری نسبت به ترانزیستورهای ماسفتی هستند. این برتری، زمانی که ناهمواری لبه برابر ۰٪ است، خیلی بیشتر هم می‌شود و نمونهٔ گرافنی به‌مراتب سرعت بیشتری از خود نشان می‌دهند. تا جایی که در بلوک کامل ورودی-خروجی، بهبود تأخیر انتشار از ۳۲٪ با ناهمواری لبهٔ ۱۰٪ به ۸۱٪ با ناهمواری لبهٔ ۰٪ می‌رسد. در خصوص شاخص حاصلضرب تأخیر در توان مصرفی، نمونه‌های سیلیکونی عملکرد بهتری نسبت به نمونه‌های گرافنی با ناهمواری لبهٔ ۱۰٪ دارد که با کاهش ناهمواری لبه به ۵٪ و ۰٪ عملکرد تمامی نمونه‌های گرافنی بهتر از سیلیکونی خواهد بود.

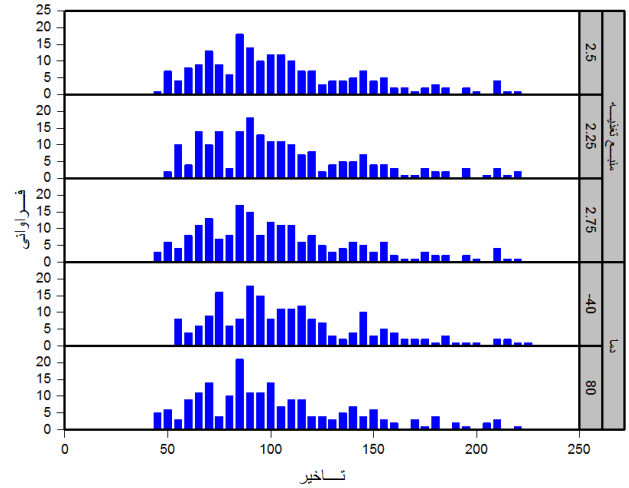
در این تحقیق به‌منظور آنالیز طراحی انجام‌شده، از آنالیز مونته‌کارلو استفاده شده است. در ابتدا یک توزیع تصادفی روی درصد ناهمواری لبهٔ ترانزیستورهای GNRFET بلوک ورودی-خروجی گرافنی اعمال و سایر پارامترها نظیر ولتاژ و دما ثابت نگه داشته شد. خلاصه‌ای از نتایج آماری حاصل از این آنالیز برای تأخیر انتشار زمان خیز و افت، در سه سطح ناهمواری لبه ۰٪ و ۵٪ و ۱۰٪ در جدول (۵) آمده است. با توجه به جدول (۵) مشاهده می‌شود که مقادیر کمینه و بیشینهٔ تأخیر برای هر جامعهٔ آماری مقادیر قابل قبولی است و مدار عملکرد صحیحی دارد.

ولتاژ و دما دو پارامتر مهم در عملکرد مدار هستند و صحیح عمل کردن مدار در دماها و ولتاژهای حیاتی یکی از ملزومات هر طراحی است. در این تحقیق آنالیز ولتاژ تغذیه و دما با آنالیز مونته‌کارلو روی ناهمواری لبه ادغام شده است. به این صورت که برای هریک از ولتاژهای ۲/۲۵ و ۲/۵ و ۲/۷۵ ولت و دماهای ۴۰- و ۸۵ درجهٔ سانتی‌گراد یک جامعهٔ آماری ۳۰ تایی تعریف می‌شود که در هرکدام، ترانزیستورها حول یک مرکزیت مشخص دارای ناهمواری لبهٔ متفاوت از یکدیگرند. نتایج تأخیر انتشار افت و خیز و توان مصرفی و حاصلضرب تأخیر در توان در جدول (۶) آمده است. مشاهده می‌شود که در تمام آنالیزها مقادیر به‌دست‌آمده در دامنهٔ خوبی قرار دارند که در نتیجه بلوک در ولتاژها و دماهای مختلف به‌درستی عمل خواهد کرد. نتایج دیگری که از جدول (۶) به دست می‌آید این است که با افزایش دما سرعت بلوک و توان تلفاتی هر دو افزایش خواهند یافت. افزایش ولتاژ تغذیه بر روی سرعت مدار تأثیر یکسانی ندارد، ولی قطعاً مصرف توان را افزایش خواهد داد.

برای روشن‌تر شدن نتایج و به‌دست‌آوردن نمودارهای پراکندگی و بافت نگار آنالیز مونته‌کارلو دوباره تکرار می‌شود. اینبار تعداد جامعهٔ آماری ۲۰۰ عدد انتخاب می‌شود و در هر عضو جامعه ناهمواری لبهٔ نانونوار تمامی ترانزیستورها یک مقدار تصادفی یکسان به خود می‌گیرند. نمودارهای پراکندگی حاصل از آنالیز مونته‌کارلو با جامعهٔ آماری ۲۰۰ عددی در شکل (۱۱) آورده شده‌اند که با توجه به آن مشاهده می‌شود که تمامی نمونه‌ها در دماها و ولتاژهای مختلف در رنج خوبی از تأخیر انتشار قرار دارند. همچنین شکل (۱۲) نمودار بافت نگار حاصل از آنالیز مونته‌کارلو را نشان می‌دهد. با توجه به شکل (۱۲) قابل مشاهده است که تأخیر نمونه‌ها حول یک مرکزیت قابل قبول قرار دارند.



شکل (۱۱): نمودار پراکندگی تأخیر انتشار بلوک ورودی-خروجی گرافنی حاصل از آنالیز مونته‌کارلو



شکل (۷): نمودار بافت‌نگار تأخیر انتشار بلوک ورودی-خروجی گرافنی حاصل از آنالیز مونته‌کارلو

جدول (۴): تأخیر انتشار و PDP اجزا مداری بلوک ورودی-خروجی و تأخیر انتشار مسیر ورودی و خروجی بلوک کامل

		Si-CMOS	GNRFET		
			٪۱۰	٪۵	٪۰
فلیپ‌فلاپ	تأخیر(ps)	۵۶/۰۱	۳۷/۵۵	۵/۰۱	۱/۱۸
	PDP(fj)	۰/۷۰	۱/۱۲	۰/۶۸	۰/۰۶
مالتی‌پلکسر	تأخیر(ps)	۲۲/۸۳	۱۴/۲۴	۴/۱۸	۱/۷۹
	PDP(fj)	۰/۲۴	۰/۶۸	۰/۰۴	۰/۰۱
مبدل سطح ولتاژ	تأخیر(ps)	۱۸/۳۲	۴۲/۳۵	۱۴/۴۴	۸/۸۷
	PDP(fj)	۰/۵۹	۰/۷۳	۰/۰۸	۰/۰۵
بافر سه‌حالته	تأخیر(ps)	۹۳/۴۸	۱۸/۸۶	۴/۵۰	۱/۴۰
	PDP(fj)	۶۴/۵	۹۳/۶	۳۵/۶	۳۱/۸
اشمیت‌تریگر	تأخیر(ps)	۶۳/۰۸	۸/۸۱	۸/۶۱	۲/۳۴
	PDP(fj)	۰/۵۱	۰/۲۹	۰/۱۵	۰/۰۴
ورودی-خروجی	تأخیر(ps)	۴۳۸/۴۱	۲۹۹/۹۴	۹۸/۸۶	۸۴/۲۴
	تأخیر(ps)	۱۵۱/۶۶	۴۵/۲۹	۱۰/۹۳	۳/۱۵

جدول (۵): نتایج آماری آنالیز مونته‌کارلو

		٪۱-٪۱	٪۵-٪۱	٪۹-٪۱
tpr-out (پیکو ثانیه)	متوسط	۶۹/۴۲۷۰	۱۲۱/۶۴۵۴	۱۱۱/۴۳۵۴
	واریانس(e-10)	۰/۷۰۱۶۸	۰/۲۲۴۸	۸/۰۰۴
	سیگما	۸/۸۷۹۱	۱۴/۹۹۳۷	۲۸/۲۹۱۲
	انحراف‌معیار	۷/۰۱۶۸	۱۲/۱۳۴۷	۲۱/۴۴۲۷
	بیشینه	۹۲/۶۰۸۸	۱۵۵/۶۷۱۹	۱۸۰/۴۰۹۴
	کمینه	۵۳/۴۳۳۴	۸۶/۱۷۸۳	۴۸/۷۰۵۷
tpf-out (پیکو ثانیه)	متوسط	۳۰/۶۵۱۹	۶۸/۲۸۸۱	۹۶/۵۸۳۷
	واریانس(e-10)	۰/۴۰۱۱	۰/۱۶۶۱	۱/۳۱۶
	سیگما	۲/۰۰۲۸	۴/۰۷۵۵	۱۱/۴۷۱۲
	انحراف‌معیار	۱/۵۹۱۵	۳/۱۴۴۱	۸/۹۲۷۴
	بیشینه	۳۶/۱۵۱۴	۸۱/۲۴۳۶	۱۲۴/۴۲۸۸
	کمینه	۲۷/۷۵۵۱	۵۸/۲۱۴۸	۷۹/۶۰۶۱
tpr-in (پیکو ثانیه)	متوسط	۵/۰۶۱۲	۱۳/۰۴۱۹	۳۹/۶۸۴۴
	واریانس(e-12)	۰/۲۷۶۸	۲/۲۹	۲/۱۰۴
	سیگما	۰/۵۲۶۱	۱/۵۹۰۱	۳/۲۲۸
	انحراف‌معیار	۰/۳۸۱۲	۱/۱۲۲	۲/۳۲۳۹
	بیشینه	۶/۲۹۰۴	۱۷/۹۹۸۶	۴۸/۶۰۰۰
	کمینه	۳/۷۴۹	۷/۳۳۳۷	۳۴/۴۲۴۷
tpf-in (پیکو ثانیه)	متوسط	۲/۷۷۱۰	۷/۸۶۱۵	۲۶/۴۶۵۶
	واریانس(e-11)	۰/۱۱۰۹	۰/۲۵۲۴	۱/۲۷۷
	سیگما	۱/۵۳۳	۱/۵۸۸۸	۳/۵۷۳۶
	انحراف‌معیار	۰/۵۸۵۱	۱/۱۹۵۶	۲/۸۲۰۶
	بیشینه	۷/۶۵۰۵	۱۱/۹۲۹۱	۳۴/۱۱۶۹
	کمینه	۱/۷۸۳۰	۲/۴۸۵۵	۱۷/۸۸۳۹

جدول (۶): نتایج آنالیز مونته‌کارلو روی منبع تغذیه و دما

			VDD (ولت)			T (سانتی‌گراد)	
			۲/۲۵	۲/۵	۲/۷۵	-۴۰	۸۵
تأخیر (پیکو ثانیه)	٪۰	کمینه	۴۳/۸	۴۳/۹	۴۳/۳	۴۸/۳	۴۱/۱
		بیشینه	۶۲/۴	۵۷/۴	۵۵/۵	۷۱/۲	۵۲/۴
		میانگین	۵۲/۹	۴۹/۷	۴۷/۳	۵۵/۴	۴۶/۲
	٪۵	کمینه	۸۳/۲	۸۰/۶	۸۳/۶	۲۱۲/۱	۲۱۰/۳
		بیشینه	۱۰۷/۳	۱۰۵/۶	۱۰۷/۶	۲۷۱/۸	۲۶۴/۶
		میانگین	۹۴/۱	۹۳/۴	۹۳/۴	۲۴۱/۶	۲۳۸/۰
	٪۱۰	کمینه	۲۰۸/۱	۲۱۱/۹	۲۱۸/۲	۲۱۲/۱	۲۱۰/۳
		بیشینه	۲۶۹/۷	۲۶۶/۴	۲۷۶/۱	۲۷۱/۸	۲۶۴/۶
		میانگین	۲۳۷/۹	۲۳۹/۸	۲۴۲/۹	۲۴۱/۶	۲۳۸/۰
متوسط توان (میلی وات)	٪۰	کمینه	۵۶/۹	۷۴/۳	۱۵۶/۳	۷۰/۸	۱۰۹/۹
		بیشینه	۶۳/۴	۸۱/۵	۱۷۰/۹	۹۰/۵	۱۱۸/۴
		میانگین	۵۹/۹	۷۸/۲	۱۶۵/۶	۸۱/۵	۱۱۴/۳
	٪۵	کمینه	۵۴/۵	۸۸/۹	۱۳۱/۵	۵۲/۲	۶۰/۴
		بیشینه	۷۲/۸	۹۹/۱	۱۵۰/۸	۶۱/۹	۷۱/۷
		میانگین	۶۵/۵	۹۴/۱	۱۴۱/۲	۵۵/۹	۶۵/۵
	٪۱۰	کمینه	۳۹/۲	۵۶/۷	۷۷/۰	۵۲/۲	۶۰/۴
		بیشینه	۴۵/۹	۶۷/۳	۹۲/۰	۶۱/۹	۷۱/۷
		میانگین	۴۱/۹	۶۱/۲	۸۳/۵	۵۵/۹	۶۵/۵
PDP (پیکو ژول)	٪۰	کمینه	۳/۴	۴/۸	۶/۹	۳/۴	۴/۶
		بیشینه	۵/۴	۷/۷	۹/۲	۵/۶	۶/۰
		میانگین	۴/۱	۵/۹	۷/۸	۴/۰	۵/۲
	٪۵	کمینه	۵/۵	۷/۵	۱۱/۵	۱۱/۴	۱۳/۳
		بیشینه	۸/۸	۱۰/۲	۱۵/۱	۱۶/۳	۱۸/۳
		میانگین	۶/۹	۸/۸	۱۳/۲	۱۳/۵	۱۵/۶
	٪۱۰	کمینه	۸/۳	۱۲/۴	۱۷/۴	۱۱/۴	۱۳/۳
		بیشینه	۱۲/۱	۱۷/۵	۲۳/۸	۱۶/۳	۱۸/۳
		میانگین	۹/۹	۱۴/۷	۲۰/۳	۱۳/۵	۱۵/۶

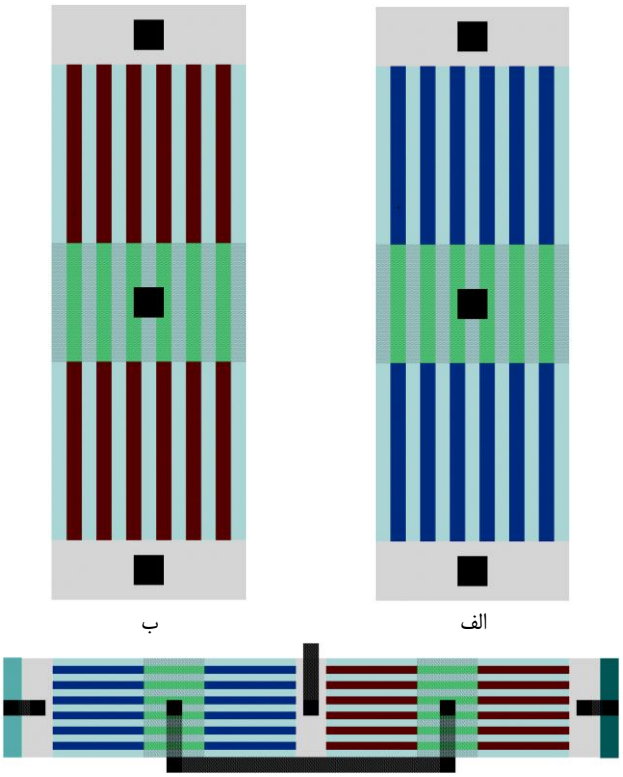
۵. طرح‌بندی

در این قسمت، طرح‌بندی بلوک ورودی-خروجی گرافنی طراحی‌شده، فراهم گردیده است. باید توجه داشت که هنوز تکنولوژی ساخت مناسبی برای ساخت تراشه‌های گرافنی وجود ندارد؛ ازاین‌رو قوانین طراحی هم برای طرح‌بندی وجود ندارد.

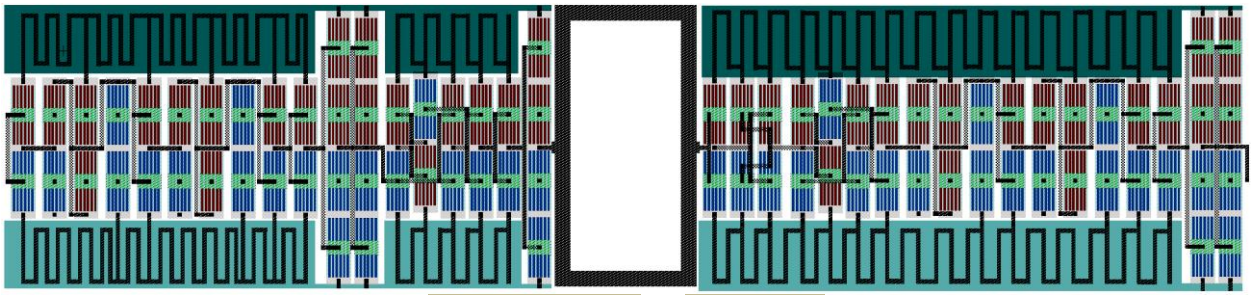
بنابراین در اینجا با پیشنهاد یک طرح برای بلوک طراحی‌شده، می‌توان نشان داد که امکان ساخت وجود دارد.

ابتدا یک طرح برای هریک از ترانزیستورهای N-GNRFET و P-GNRFET طراحی شده که در شکل (۱۳) نشان داده شده است. نانونوارهای گرافن در طول کانال در این شکل قابل مشاهده است. همچنین طرح یک معکوس‌کنندهٔ گرافنی که پایهٔ طرح بلوک ورودی–خروجی است، در شکل (۱۴) آورده شده است. در طرح معکوس‌کننده با ادغام سورس و درین ترانزیستورهای N-GNRFET و P-GNRFET سعی شده است که فضای بلوک کاهش یابد. این ادغام در طرح هر مدار بلوک انجام شده است. نکته‌ای که در طرح معکوس‌کنندهٔ گرافنی بسیار قابل ملاحضه است، این است که تعداد نانونوار N-GNRFET و P-GNRFET با هم برابر انتخاب شده است. این انتخاب از برابر بودن قابلیت تحرک GNRFET نوع n و نوع p نشات می‌گیرد. به این ترتیب مقدار فضای اشغالی بلوک ورودی–خروجی گرافنی ۶۶٪ بلوک ورودی–خروجی سیلیکونی است؛ زیرا در بلوک ورودی–خروجی سیلیکونی ترانزیستورهای PMOS افزایش عرض دوبرابری نسبت به ترانزیستورهای NMOS دارند.

طرح هریک از مدارهای تشکیل‌دهندهٔ بلوک ورودی–خروجی طراحی شد و در کنار هم قرار گرفت. طرح نهایی بلوک ورودی–خروجی گرافنی در شکل (۱۴) آورده شده است. در این طراحی سعی بر این شده است که طرح کمترین فضای ممکن را اشغال کند. فضای خالی در وسط طرح جای پد است. پد رابط میان بلوک ورودی–خروجی و دنیای بیرون تراشه است.



شکل (۸): طرح؛ الف. N-GNRFET؛ ب. P-GNRFET؛ ج. معکوس‌کنندهٔ گرافنی



شکل (۹): طرح بلوک ورودی–خروجی گرافنی

۶. نتیجه‌گیری

در این مقاله، یک بلوک ورودی–خروجی با ترانزیستورهای نانونوار گرافنی به کمک محاسبات و شبیه‌سازی طراحی و بهینه‌سازی شد که توانایی راه‌اندازی خازن بزرگ خارج از تراشه را دارد. سپس فلیپ فلاپ و مالتی‌پلکسر به مدار اضافه شد تا اطلاعات به‌صورت سنکرون ارسال و دریافت شوند و انتخابی میان سنکرون و آسنکرون بودن بلوک وجود داشته باشد. از اجزای دیگری همچون بافر سه‌حالته برای انتخاب

عملکرد ورودی یا خروجی بلوک، شیفت‌دهندهٔ ولتاژ برای تغییر سطح ولتاژ داده‌ها و اشمیت تریگر برای حذف نویز و افزایش سرعت در کنار سایر اجزا استفاده شد. شبیه‌سازی‌ها نشان دادند که بلوک ورودی-خروجی گرافنی پیشنهادی خازن بار خروجی را به‌راحتی راه‌اندازی می‌کند، در صورتی که نمونهٔ سیلیکونی دارای تأخیر قابل توجهی بود. از آنالیز مونته‌کارلو برای ارزیابی مدار طراحی‌شده در مقابل ناهمواری لبهٔ نانونوار، دما و ولتاژ منبع تغذیه استفاده شد و مشاهده شد مدار در بازهٔ قابل قبولی از این پارامترها به‌درستی کار می‌کند. تأخیر انتشار در تمام مدارهای گرافنی از نمونهٔ سیلیکونی بهتر بود. PDP نیز با کاهش ناهمواری لبه به ۵٪ از تمام نمونه‌های سیلیکونی بهتر شد. علاوه بر این‌ها بلوک ورودی-خروجی گرافنی ۶۶٪ فضای اشغالی بلوک سیلیکونی را اشغال می‌کند.

مراجع

[1] Wilson L., "International technology roadmap for semiconductors (ITRS)", *Semiconductor Industry Association*, 2013.

[2] Lin Y.-M., Valdes-Garcia A., Han S.-J., Farmer D. B., Meric I., Sun Y., Wu Y., Dimitrakopoulos C., Grill A., Avouris P. and Jenkins K. A., "Wafer-scale graphene integrated circuit", *Science*, vol. 332, pp. 1294-1297, 2011.

[3] Wang H., Hsu A., Wu J., Kong J. and Palacios T., "Graphene-based ambipolar RF mixers", *IEEE Electron Device Letters*, vol. 31, pp. 906-908, 2010.

[4] Kashani S. A. S., Alidash H. K. and Miryala S., "Design and characterization of graphene nano-ribbon based D-flip-flop", *Journal of Nanoelectronics and Optoelectronics*, vol. 12, pp. 580-591, 2017.

[5] Kashani S. A. S., Alidash H. K. and Miryala S., "Schottky-barrier graphene nanoribbon field-effect transistors-based field-programmable gate array's configurable logic block and routing switch", *IET Circuits, Devices & Systems*, vol. 11, pp. 549-558, 2017.

[6] Rabaey J. M., Chandrakasan A. P. and Nikolić B., *Digital Integrated Circuits, 2/e*: Prentice hall, 2003.

[7] Weste N. H. and Harris D., *CMOS VLSI design: a circuits and systems perspective*: Pearson Education India, 2015.

[8] Noyce S. G., Doherty J. L., Cheng Z., Han H., Bowen S. and Franklin A. D., "Electronic Stability of Carbon Nanotube Transistors Under Long-term Bias Stress", *Nano letters*, 2019.

[9] Cao M., Han C., Wang X., Zhang M., Zhang Y., Shu J., Yang H., Fang X. and Yuan J., "Graphene nanohybrids: excellent electromagnetic properties for the absorbing and shielding of electromagnetic waves", *Journal of Materials Chemistry C*, vol .6 ,pp. 4586-4602, 2018.

[10] Geim A., "Graphene prehistory," *Physica Scripta*, vol. 2012, p. 014003, 2012.

[11] Lemme M. C., Echtermeyer T. J., Baus M. and Kurz H., "A graphene field-effect device", *IEEE Electron Device Letters*, vol. 28, pp. 282-284, 2007.

[12] Cheng R., Bai J., Liao L., Zhou H., Chen Y., Liu L., Lin Y. C., Jiang S., Huang Y. and Duan X., "High-frequency self-aligned graphene transistors with transferred gate stacks", *Proceedings of the National Academy of Sciences*, vol. 109, pp. 11588-11592, 2012.

[13] Wang X., Ouyang Y., Li X., Wang H., Guo J. and Dai H., "Room-temperature all-semiconducting sub-10-nm graphene nanoribbon field-effect transistors", *Physical review letters*, vol. 100, p. 206803, 2008.

[14] Wang J., Ma F. and Sun M., "Graphene, hexagonal boron nitride, and their heterostructures: properties and applications", *RSC Advances*, vol. 7, pp. 16801-16822, 2017.

[15] Gholipour M., Chen Y.-Y., Sangai A. and Chen D., "Highly accurate SPICE-compatible modeling for single- and double-gate GNRFETs with studies on technology scaling", in *Proceedings of the conference on Design, Automation & Test in Europe*, 2014, p. 120.

[16] PTM. Predictive Technology Model, ptm.asu.edu, 2019.