نشریه علمی‌ترویجی محاسبات نرم

سال هفتم/ شمارهٔ اول/ بهار و تابستان ۱۳۹۷/ صفحهٔ ۲۴ـ۳۳

دریافت مقاله: ۱۳۹۵/۱۱/۲۳

پذیرش مقاله: ۱۳۹۸/۰۷/۰۴

روش بهینهٔ تصحیح سریع دیجیتالی خطا در مبدل آنالوگ به دیجیتال خطلوله با الگوریتم DLMS

مجتبی پاکدل[۱]، حسین کریمیان[۲*]

[۱] کارشناسی ارشد، دانشکده مهندسی برق و کامپیوتر، دانشگاه کاشان، کاشان، ایران
Pakdel.m1@gmail.com

[۲] استادیار دانشکده مهندسی برق و کامپیوتر، دانشگاه کاشان، کاشان، ایران
hkarimiyan@kashanu.ac.ir

چکیده: در این مقاله، با استفاده از الگوریتم جست‌وجوکنندهٔ تکاملی DLMS سرعت همگرایی الگوریتم تصحیح خطای دیجیتالی در تصحیح خطای عدم تطابق خازن‌ها، بهرهٔ محدود و غیرخطی تقویت‌کننده‌ها به میزان قابل توجهی افزایش یافته است. برای این منظور، ابتدا مبدل آنالوگ به دیجیتال ۱۶ بیتی خطلوله به‌صورت معکوس در حوزهٔ دیجیتال مدل‌سازی شده است. مدل دیجیتال به‌دست‌آمده یک فیلتر FIR با ۱۶ وزن قابل تنظیم است. برای تنظیم وزن‌های فیلتر FIR الگوریتم تصحیح خطا به سه مرحله تقسیم شده است. در هر مرحله، تعدادی از وزن‌های فیلتر توسط الگوریتم DLMS تنظیم شده و در مجموع الگوریتم تصحیح خطا با ۳۰۰۰ بار تکرار در طی سه مرحله همگرا می‌شود. الگوریتم DLMS با استفاده از کدهای سنتزپذیر با زبان Verilog HDL شبیه‌سازی شده و قابل‌پیاده‌سازی است. تقسیم الگوریتم تصحیح خطا به سه مرحله سبب بهبود کیفیت تصحیح خطا و کاهش توان مصرفی خواهد شد. همچنین در این مقاله، مدار MDAC بهینه‌ای جهت طراحی مبدل خطلوله پیشنهاد شده و الگوریتم تصحیح خطا بر اساس همین مدار طراحی شده است.

واژه‌های کلیدی: مبدل آنالوگ به دیجیتال خطلوله، عدم تطابق خازن‌ها، بهرهٔ محدود تقویت‌کننده، بهرهٔ غیرخطی تقویت‌کننده، فیلتر FIR، الگوریتم DLMS.

۱. مقدمه

مبدل خطلوله در زمرهٔ مبدل‌های سریع با دقت متوسط است که عموماً در ابزارهای الکترونیکی نظیر دوربین عکاسی، تجهیزات پزشکی و ارتباطات بی‌سیم مورد استفاده قرار می‌گیرد. عدم تطابق و استفاده از ادوات غیرخطی در طراحی مدارات آنالوگ مبدل خطلوله، منجر به تولید انواع خطا در بخش‌های مختلف آن شده و دقت مبدل را به شدت کاهش می‌دهد. بنابراین لازم است با استفاده از مدارات تصحیح‌کننده، خطاهای مبدل کاهش یابد.

به‌طور کلی روش‌های تصحیح خطا را می‌توان به دو گروه تقسیم کرد: تصحیح‌کنندهٔ پیش‌زمینه و تصحیح‌کنندهٔ پس‌زمینه [۱]. در تصحیح‌کنندهٔ پیش‌زمینه ابتدا خطاهای مبدل تصحیح شده، سپس کار تبدیل سیگنال آنالوگ به کد دیجیتال آغاز می‌شود. بنابراین در این روش فقط می‌توان خطاهای حاصل از پروسهٔ ساخت مانند آفست، خطای بهره، عدم تطابق خازن‌ها و غیره را تصحیح کرد و امکان تصحیح خطاهای ناشی از اثرگذاری عوامل محیطی همچون تغییرات ولتاژ تغذیه و تغییرات دمای محیط وجود ندارد. در تصحیح‌کنندهٔ پس‌زمینه هم‌زمان با کار تبدیل سیگنال آنالوگ به کد دیجیتال خطاهای مبدل تصحیح شده و هیچ وقفه‌ای در عملکرد آن ایجاد نمی‌گردد.

حجم و توان مصرفی کم، سرعت تصحیح بالا، تصحیح همهٔ منابع خطا و کمترین تأثیرگذاری بر سرعت مبدل خطلوله، از جمله مهم‌ترین ویژگی‌های مورد نیاز یک مدار تصحیح‌کنندهٔ خطاست. مدارات تصحیح‌کننده در حوزهٔ آنالوگ، دیجیتال و یا هر دو قابل پیاده‌سازی است. مدارات تصحیح‌کنندهٔ دیجیتالی در مقایسه با نوع آنالوگ، حجم و توان مصرفی پایین‌تری دارند و در زمان تصحیح مبدل، خطای ناچیزی تولید می‌کنند. بنابراین تصحیح‌کننده‌های دیجیتالی از قابلیت اطمینان بیشتری برخوردارند.

تاکنون مدارات تصحیح‌کنندهٔ خطای متنوعی طراحی و ساخته شده است. از جمله این مدارات می‌توان به معماری صف [۲]، معماری دوبخشی [۳ و ۴]، معماری موازی [۵ و ۶]، معماری دنباله نویز شبه‌تصادفی [۷ و ۸] و معماری الحاق [۹] اشاره کرد. در روش‌های فوق تصحیح خطا به‌صورت پس‌زمینه بوده و از مدارات آنالوگ و دیجیتال به‌صورت تلفیقی استفاده شده است. استفاده از مدارات آنالوگ در الگوریتم تصحیح خطا سبب افزایش حجم و توان مصرفی، محدودیت سرعت مبدل و کاهش سرعت تصحیح خواهد شد.

در تصحیح‌کننده‌های پیش‌زمینه استفاده از مدارات آنالوگ به حداقل رسیده و در عوض از مدارات دیجیتال استفاده می‌شود. سرعت تصحیح مبدل در این روش نسبت به نوع پس‌زمینه به‌مراتب بیشتر بوده و حجم و توان مصرفی کمتر است. تصحیح‌کننده‌های دیجیتالی پیش‌زمینه، تأثیر کمتری بر عملکرد مبدل دارد؛ ازاین‌رو امکان طراحی مبدل خطلوله برای سرعت‌های بالا وجود دارد. اما در این روش فقط تصحیح خطاهای حاصل از پروسهٔ ساخت امکان‌پذیر است [۱۰ و ۱۱].

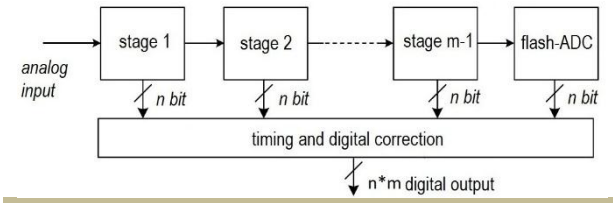
در این مقاله، تصحیح خطای مبدل خطلوله به‌صورت پیش‌زمینه انجام شده است. ازاین‌رو ابتدا با استفاده از بلوک مداری آنالوگ بهینه در مبدل خطلوله میزان خطای تولیدی کاهش یافته تا الگوریتم تصحیح خطا دیجیتالی ساده‌تر و توان مصرفی مبدل و الگوریتم تصحیح خطا کمتر شود. سپس مبدل خطلوله به‌صورت معکوس در حوزهٔ دیجیتال توسط الگوریتم تصحیح خطا مدل‌سازی شده تا همهٔ منابع خطای مبدل تصحیح شود. در ادامه با استفاده از الگوریتم جست‌وجوکنندهٔ DLMS[1] سرعت همگرایی الگوریتم تصحیح خطا به میزان قابل توجهی افزایش یافته است. این مقاله از شش بخش تشکیل شده است که در ادامه، بخش دوم آن اساس کار مبدل آنالوگ به دیجیتال خطلوله را تشریح می‌کند. بخش سوم به بیان منابع خطا و تأثیر آن‌ها بر مبدل می‌پردازد. در بخش چهارم مدل دیجیتالی از منابع خطا ارائه شده و سپس الگوریتم تصحیح خطا پیاده‌سازی می‌شود. بخش پنجم و ششم به‌ترتیب شامل نتایج شبیه‌سازی، مقایسه، خلاصه و نتیجه‌گیری است.

۲. مبدل خطلوله

مبدل خطلوله به‌دلیل ساختار منحصربه‌فرد از سرعت بالا، توان مصرفی پایین و دقت متوسط برخوردار است. در این مبدل، سیگنال آنالوگ ورودی در طی چندین پالس ساعت به کد

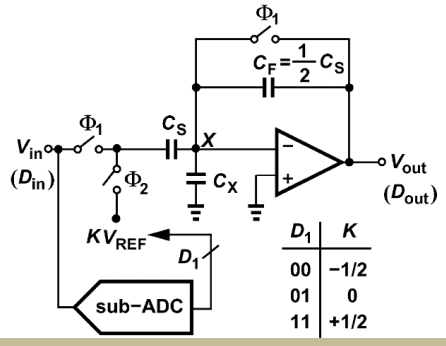
1. Delayed Least Mean Square

دیجیتال تبدیل می‌شود، اما عملکرد همزمان تمامی طبقات مبدل سبب شده تا مبدل خطلوله پس از گذشت یک تأخیر ذاتی اولیه، با هر پالس ساعت یک کد دیجیتال در خروجی تولید کند. شکل (۱) بلوک دیاگرام مبدل آنالوگ به دیجیتال خطلوله را نشان می‌دهد. به‌صورت تئوری، در صورتی که برای یک مبدل خطلوله با m طبقه، هر طبقه دارای n بیت دقت باشد، دقت نهایی n×m خواهد بود.



شکل (۱): بلوک دیاگرام مبدل آنالوگ به دیجیتال خطلوله

معمولاً تمامی طبقات مبدل خطلوله دارای طرحی مشابه بوده و هر طبقه از مبدل، شامل یک مبدل آنالوگ به دیجیتال، یک مبدل دیجیتال به آنالوگ، مدار نمونه‌بردار، یک تقویت‌کننده و مدار تفریق‌کننده است. به‌جز مبدل آنالوگ به دیجیتال سایر بخش‌ها را در قالب یک بلوک مداری پیاده‌سازی می‌کنند که به آن اصطلاحاً MDAC[1] گفته می‌شود و دارای ساختارهای متنوعی است [۹ و ۱۲]. شکل (۲) یک بلوک مداری MDAC پرکاربرد با ۱/۵ بیت دقت را نشان می‌دهد.



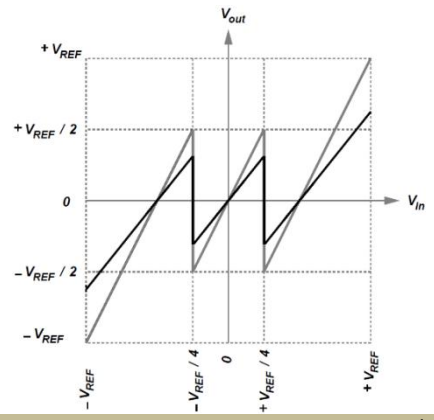
شکل (۲): بلوک مداری Non-flip-around MDAC [۹]

در مدار شکل (۲)، C_X خازن ورودی تقویت‌کننده، C_S و C_F خازن‌های نمونه‌بردار، V_{REF} ولتاژ مرجع، K مقدار معادل با کد دیجیتال D_1 در خروجی هر طبقه از مبدل، V_{out} ولتاژ خروجی (باقی‌مانده) و V_{in} ولتاژ ورودی است. ولتاژ باقی‌مانده در شرایط ایدئال برابر است با [۱۳]:

$$V_{out}=\begin{cases}2(V_{in}-KV_{REF}) & V_{in}>\dfrac{V_{REF}}{4}\\ 2V_{in} & \dfrac{-V_{REF}}{4}\le V_{in}\le\dfrac{V_{REF}}{4}\\ 2(V_{in}+KV_{REF}) & V_{in}<\dfrac{-V_{REF}}{4}\end{cases} \quad (۱)$$

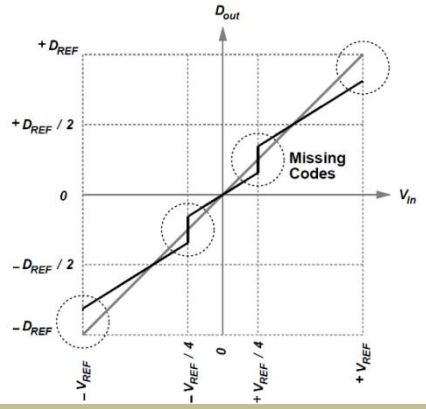
۳. منابع خطا

آفست، بار ذخیره‌شده در کلیدها، عدم تطابق خازن‌ها، مقاومت محدود و غیرخطی کلیدها، بهره محدود و غیرخطی تقویت‌کننده‌ها از جمله منابع خطا در مبدل خطلوله هستند [۱۴] که از میان آن‌ها مهم‌ترین منابع خطا، بهرهٔ محدود تقویت‌کننده‌ها و عدم تطابق خازن‌های نمونه‌بردار در مدار MDAC هستند [۱۵ـ۱۷]. عوامل مانند عدم تطابق خازن‌ها نمونه‌بردار، بهرهٔ محدود حلقه باز تقویت‌کننده‌ها، بار ذخیره‌شده در کلیدها و خازن ورودی تقویت‌کننده از جمله مهم‌ترین عوامل تولید خطای بهرهٔ محدود تقویت‌کننده و عدم تطابق خازن‌ها نمونه‌بردار در مبدل خطلوله هستند. این دو منبع خطا در مجموع شیب مشخصهٔ انتقالی ولتاژ باقی‌مانده را در خروجی هر طبقه و خروجی مبدل تغییر داده و باعث از دست رفتن بخشی از کدهای دیجیتال در خروجی مبدل خطلوله خواهند شد. شکل‌های (۳) و (۴) به‌ترتیب مشخصهٔ انتقالی ولتاژ باقی‌مانده و خروجی مبدل را در حالت ایدئال و واقعی به‌دلیل خطای بهرهٔ محدود نشان می‌دهند. شیب مشخصهٔ انتقالی ولتاژ باقی‌مانده در حالت ایدئال برابر با ۲ ولی در حالت واقعی به‌دلیل خطا کمتر از ۲ است.



شکل (۳): تأثیر خطای بهرهٔ محدود بر مشخصهٔ انتقالی ولتاژ باقی‌مانده [۱۵]

1. Multiplying Digital to Analog Converter



شکل (۴): تأثیر خطای بهرهٔ محدود بر مشخصهٔ انتقالی خروجی مبدل [۱۵]

۴. مدل‌سازی و تصحیح دیجیتالی منابع خطا

بلوک مداری MDAC را می‌توان به‌صورت Flip-around و یا Non-flip-around پیاده‌سازی کرد [۱۸]. مدار Non-flip-around شکل (۲) نسبت به مدار Flip-around به‌ازای یک طراحی مناسب سریع‌تر بوده و همچنین خطای بهرهٔ محدود و غیرخطی یکسانی برای سیگنال ورودی و ولتاژ مرجع ایجاد می‌کند [۱۹]. بنابراین ترکیب این مدار با الگوریتم تصحیح خطا پیشنهادی در طراحی مبدل خطلوله منجر به افزایش سرعت تصحیح، بهبود سرعت مبدل و کاهش توان مصرفی خواهد شد. برای این مدار در فاز نمونه‌برداری، کلید φ_1 بسته و φ_2 باز است. در این حالت، ولتاژ ورودی در C_S ذخیره می‌شود. در فاز نگهداری، وضعیت کلیدها معکوس شده و مدار پس از محاسبهٔ اختلاف ولتاژ ورودی V_{in} با ولتاژ KV_{REF}، حاصل آن را تقویت می‌کند. بنابراین رابطهٔ ولتاژ باقی‌مانده با توجه به منابع خطا به‌صورت رابطهٔ (۲) به دست می‌آید.

$$V_{out} = \frac{\frac{C_S}{C_F}}{1+\frac{1}{A}\left(1+\frac{C_S}{C_F}+\frac{C_X}{C_F}\right)}(V_{in} + KV_{REF} + V_{OFF}) \quad (۲)$$

در این رابطه، V_{REF} ولتاژ مرجع، V_{OFF} ولتاژ آفست، A بهرهٔ ولتاژ محدود و غیرخطی تقویت‌کنندهٔ حلقه باز و سایر عوامل خازنی مدار در شکل (۲) تعریف شده‌اند.

برای تصحیح هرچه بهتر منابع خطای آنالوگی مبدل خطلوله، ابتدا مدل ساده و بهینه از این منابع خطا در حوزهٔ دیجیتال ارائه شده، سپس با استفاده از مدارات دیجیتالی الگوریتم تصحیح خطا پیاده‌سازی و مبدل خطلوله تصحیح می‌شود. معکوس بسط تیلر تابع ولتاژ باقی‌مانده تقویت‌کنندهٔ حلقه باز مدار MDAC برحسب ورودی برابر است با [۹]:

$$V_{in} \approx \beta_1 V_{out} + \beta_2 {V_{out}}^2 + \beta_3 {V_{out}}^3 \quad (۳)$$

$$\beta_1 = \frac{1}{\alpha_1} \quad (۴)$$

$$\beta_2 = \frac{-\alpha_2}{{\alpha_1}^3} \quad (۵)$$

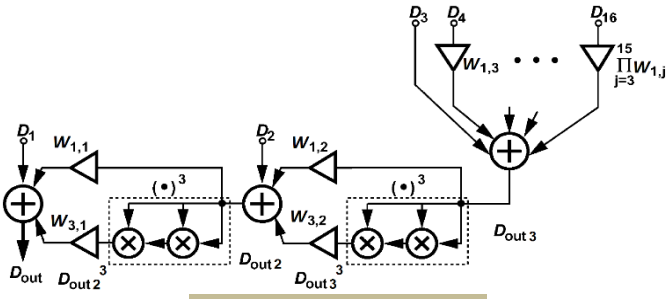
$$\beta_3 = \frac{2{\alpha_2}^2}{{\alpha_1}^5} - \frac{\alpha_3}{{\alpha_1}^4} \quad (۶)$$

در رابطهٔ فوق، α_i ضرایب بسط تیلر هستند. با یک KCL در گره X برای مدار شکل (۲) در فاز نگهداری و استفاده از بسط تیلر در رابطهٔ (۳)، ولتاژ ورودی مدار MDAC برحسب ولتاژ باقی‌مانده و ولتاژ مرجع به دست می‌آید:

$$V_{in} = KV_{REF} + \left(\frac{C_F}{C_S}+\gamma\beta_1\right)V_{out} + \gamma\beta_2 {V_{out}}^2 + \gamma\beta_3 {V_{out}}^3 \quad (۷)$$

$$\gamma = (1+\frac{C_F}{C_S}+\frac{C_X}{C_S})$$

برای تبدیل رابطهٔ (۷) از حوزهٔ آنالوگ به دیجیتال، ابتدا کل آن بر V_{REF} تقسیم شده، سپس با جایگذاری $D_{in} \equiv V_{in}/V_{REF}$، $D_{out} \equiv V_{out}/V_{REF}$ و $D_1 \equiv K$ رابطهٔ ورودی برحسب خروجی‌های یک طبقه از مبدل خطلوله در حوزهٔ دیجیتال به دست می‌آید [۹]:



شکل (۵): بلوک دیاگرام فیلتر FIR

$$D_{in} = D_1 + \left(\frac{C_F}{C_S} + \gamma\beta_1\right) D_{out} + \gamma\beta_2 {D_{out}}^2 + \gamma\beta_3 {D_{out}}^3 \quad (۸)$$

رابطهٔ (۸) برای مبدل خطلوله با N طبقه قابل گسترش بوده و به‌صورت زیر ساده‌سازی می‌شود:

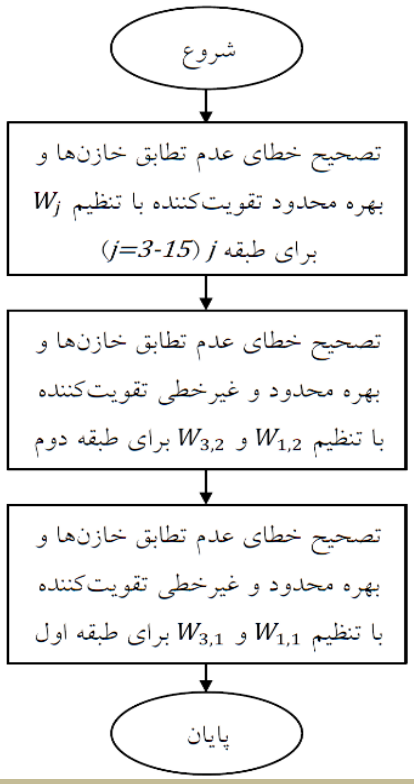
$$D_{in} = D_1 + W_1 D_{out} + W_2 {D_{out}}^2 + W_3 {D_{out}}^3 \quad (۹)$$
$$W_1 = \frac{C_F}{C_S} + \gamma\beta_1, W_2 = \gamma\beta_2, W_3 = \gamma\beta_3$$

در رابطهٔ (۹)، W_1 معکوس خطای بهرهٔ محدود تقویت‌کننده حلقه بسته و W_2 و W_3 معکوس و تقریبی از خطاهای بهرهٔ غیرخطی تقویت‌کننده حلقه بسته‌مدار شکل (۲) در حوزهٔ دیجیتال هستند. در مبدل خطلوله خروجی یک طبقه ورودی طبقهٔ بعدی است. بنابراین با جایگذاری ورودی طبقهٔ بعدی به‌جای خروجی طبقهٔ قبلی، کد دیجیتال معادل با سیگنال آنالوگ ورودی مبدل خطلوله به دست می‌آید.

۵. پیاده‌سازی الگوریتم تصحیح خطا پیشنهادی

مدل دیجیتالی به‌دست‌آمده در قالب یک فیلتر دیجیتال FIR قابل اجراست. با توجه به شبیه‌سازی‌های انجام‌شده، تابع خروجی برحسب ورودی تقویت‌کننده حلقه بسته‌مدار شکل (۲) تابع فرد فرض شده، بنابراین ضرایب زوج $W_{2,j} \approx 0$ خواهد بود. همچنین با توجه به اهمیت بالای دو طبقهٔ اول از مبدل خطلوله که تولیدکنندهٔ بیت‌های پرارزش کد خروجی (MSB) هستند، ضرایب خطای غیرخطی $W_{3,j}$ فقط برای طبقات اول و دوم تنظیم خواهند شد. شکل (۵) بلوک دیاگرام فیلتر FIR با ۱۶ ورودی را نشان می‌دهد.

در شکل (۵) متغیرهای $D_1, D_2, \cdots, D_{16}$ به‌ترتیب خروجی طبقات اول تا شانزدهم مبدل خطلوله بوده و به غیر از طبقهٔ آخر، دارای مقادیر دیجیتال معادل با ۱، ۰ و ۱- هستند. طبقهٔ آخر ۱ بیت دقت دارد و مقادیر دیجیتال معادل در خروجی آن ۱ و ۱- است. ضرایب $W_{1,1}, W_{1,2}, W_{1,3}, \cdots, W_{1,15}$ وزن‌های فیلتر FIR بوده و لازم است به‌ترتیب معکوسِ بهرهٔ تقویت‌کنندهٔ حلقهٔ بستهٔ طبقهٔ اول تا آخر باشند. برای تنظیم هرچه بهتر وزن‌های فیلتر FIR و کاهش توان مصرفی، الگوریتم تصحیح خطای پیشنهادی به سه مرحله تقسیم خواهد شد. شکل (۶) فلوچارت الگوریتم تصحیح خطا پیشنهادی را نشان می‌دهد. ورودی‌های مرجع در هر مرحله از الگوریتم تصحیح خطا به ورودی تقویت‌کنندهٔ طبقهٔ مربوطه اعمال شده و پس از دریافت خروجی مبدل و مشخص بودن خروجی مرجع، مقدار سیگنال خطا محاسبه خواهد شد [۱۰]. برای تنظیم وزن‌های فیلتر FIR با استفاده از سیگنال خطا، از یک الگوریتم جست‌وجوکنندهٔ تکاملی LMS[1] استفاده شده است [۵، ۹ و ۱۰].



شکل (۶): فلوچارت الگوریتم تصحیح خطا پیشنهادی

۵.۱. الگوریتم LMS

الگوریتم LMS در زمرهٔ الگوریتم‌های شیب تصادفی بوده و به‌دلیل ساختار و عملکرد ساده و همچنین کارایی بالا در طول پردازش نسبت به سایر الگوریتم‌ها، بیشتر مورد استفاده قرار می‌گیرد. روابط معرف الگوریتم LMS برابر است با [۲۰]:

$$w(n+1) = w(n) + 2\mu e(n)x(n) \quad (۱۰)$$
$$y(n) = w^T(n)x(n) \quad (۱۱)$$
$$e(n) = d(n) - y(n) \quad (۱۲)$$

در روابط فوق، μ ضریب همگرایی الگوریتم، w(n)

1. Least Mean Square

وزن‌های فعلی و w(n+1) وزن‌های جدید فیلتر FIR، d(n) سیگنال خروجی مرجع، y(n) خروجی فیلتر FIR، e(n) سیگنال خطا، x(n) سیگنال ورودی و $w^T(n)$ ترانهادی ماتریس وزن‌ها هستند. برنامهٔ توصیف سخت‌افزار فیلتر FIR و الگوریتم LMS با استفاده از زبان Verilog HDL نوشته شده و در محیط Active HDL شبیه‌سازی شده است. در این برنامه، فیلتر FIR به‌صورت رفتاری اما روابط الگوریتم LMS با استفاده از کدهای سنتزپذیر و با قابلیت پیاده‌سازی، شبیه‌سازی شده است.

برای افزایش سرعت الگوریتم LMS در زمان تصحیح، از مدارات محاسباتی سریع استفاده شده است. به همین منظور برای انجام عملیات حسابی جمع از جمع‌کننده با پیش‌بینی رقم نقلی CLA[1]، برای عملیات تفریق از یک مدار مکمل دو و یک جمع‌کننده با پیش‌بینی رقم نقلی، برای عملیات ضرب از ضرب‌کنندهٔ بوث[2] و برای عملیات تقسیم از مدارات شیفت‌دهنده به سمت راست استفاده شده است. با وجود بهره‌گیری از این مدارات محاسباتی، سرعت الگوریتم تصحیح خطا همچنان بسیار پایین است. ازاین‌رو برای افزایش سرعت الگوریتم تصحیح خطا از الگوریتم جست‌وجوکنندهٔ تأخیری DLMS به‌جای LMS استفاده شده است. بنابراین وزن‌های فیلتر FIR با استفاده از الگوریتم DLMS با سرعت بیشتری تنظیم خواهند شد.

۲.۵. فلوچارت الگوریتم DLMS

در الگوریتم DLMS هر عملیات حسابی و یا بخشی از آن در طی یک پالس ساعت و به‌صورت خطلوله انجام می‌شود. روابط (۱۳) و (۱۴) معادلهٔ الگوریتم DLMS و سیگنال خطا در مرحلهٔ اول از الگوریتم تصحیح خطا هستند.

$$W(n+1) = W(n) + \mu_3 e(n)\, D_{in}(n) \qquad (۱۳)$$

$$e(n) = D_{cal}(n) - D_{out3}(n) + D_{offset3} \qquad (۱۴)$$

شکل (۷) فلوچارت الگوریتم DLMS در مرحلهٔ اول الگوریتم تصحیح خطا را نشان می‌دهد. مطابق با شکل (۷) ابتدا ورودی مرجع $0V$ به تقویت‌کنندهٔ طبقه سوم مبدل اعمال شده تا مقدار آفست مرحلهٔ اول از D_{out3} فیلتر FIR با توجه به شکل (۵) به دست آید. سپس ورودی‌های مرجع $\pm V_{REF}/2$ به‌طور متناوب به تقویت‌کنندهٔ طبقهٔ سوم اعمال شده و سیگنال خطا e، گام افزایش یا کاهش وزن F و وزن جدید $w(n+1)$ محاسبه می‌شوند. وزن جدید به‌دست‌آمده مربوط به طبقهٔ سوم بوده و وزن‌های طبقات چهارم، پنجم تا پانزدهم به‌ترتیب توان دوم، سوم تا سیزدهم از وزن طبقه سوم هستند که با استفاده از ۱۲ مدار ضرب‌کننده به دست می‌آیند. در نهایت با توجه به اینکه $D_j \equiv K = \pm 1/2, 0$ می‌باشد، تمامی وزن‌های بر ۲ تقسیم می‌شوند. بنابراین قبل از بارگذاری وزن‌های جدید در فیلتر FIR، تمامی این مقادیر یک پله به سمت راست شیفت داده خواهند شد. هر سطر از فلوچارت شکل (۷) در طی یک پالس ساعت و به‌صورت خطلوله انجام شده و با ۱۰۰۰ مرتبه تکرار فلوچارت وزن‌های طبقات انتهایی فیلتر FIR تنظیم می‌شوند.

روابط (۱۵) تا (۱۷) معادلهٔ الگوریتم DLMS و سیگنال خطا در مرحلهٔ دوم از الگوریتم تصحیح خطا می‌باشند. در این مرحله با توجه به شکل (۵) D_{out2} خروجی و D_{out3} و ${D_{out3}}^3$ ورودی‌های فیلتر FIR تعریف شده‌اند. وزن‌های تنظیم‌شدهٔ طبقات انتهایی مبدل در مرحلهٔ اول، برای مرحلهٔ دوم ایدئال فرض می‌شوند.

$$W_{1,2}(n+1) = W_{1,2}(n) + \mu_2 e(n) D_{out3}(n) \qquad (۱۵)$$

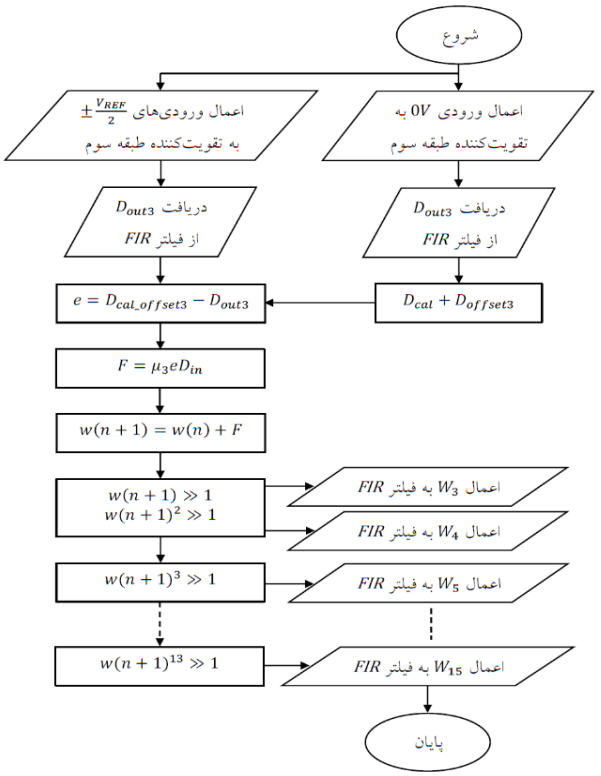
$$W_{3,2}(n+1) = W_{3,2}(n) + \mu_{2,3} e(n) {D_{out3}}^3(n) \qquad (۱۶)$$

$$e(n) = D_{cal}(n) - D_{out2}(n) + D_{offset2} \qquad (۱۷)$$

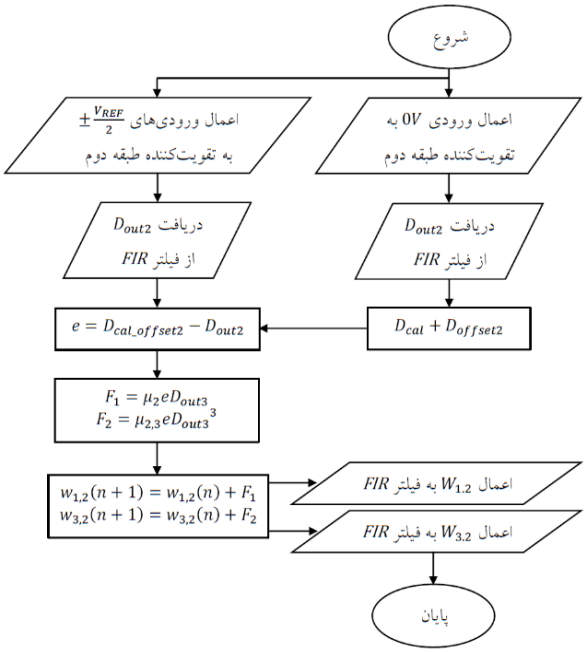
شکل (۸) فلوچارت الگوریتم DLMS در مرحلهٔ دوم از الگوریتم تصحیح خطا را نشان می‌دهد. در این مرحله نیز ابتدا ورودی مرجع $0V$ و سپس ورودی‌های $\pm V_{REF}/2$ به‌طور متناوب به تقویت‌کنندهٔ طبقهٔ دوم اعمال شده تا مقدار جدید وزن‌های خطی $w_{1,2}(n+1)$ و غیرخطی $w_{3,2}(n+1)$ طبقهٔ دوم به دست آید. فلوچارت الگوریتم DLMS در مرحلهٔ سوم مشابه با مرحلهٔ دوم است. در مرحلهٔ سوم، ورودی‌های مرجع به تقویت‌کنندهٔ طبقهٔ اول داده شده و با توجه به شکل (۵)، D_{out} خروجی و D_{out2} و ${D_{out2}}^3$ ورودی‌های فیلتر FIR

1. Carry Lookahead Addition
2. Booth multiplication

تعریف می‌شوند. وزن‌های طبقهٔ دو مبدل در مرحلهٔ سوم ایدئال فرض می‌شوند. هریک از فلوچارت‌های الگوریتم DLMS در مرحلهٔ دوم و سوم ۱۰۰۰ مرتبه تکرار خواهند شد.



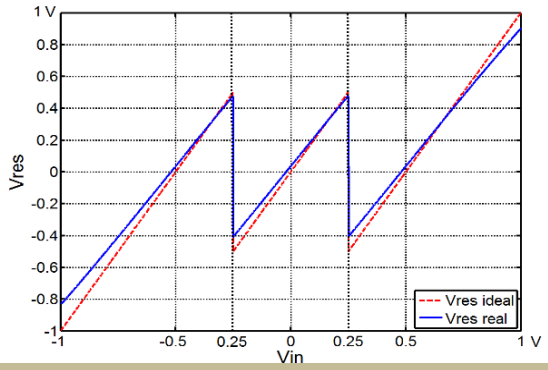
شکل (۷): فلوچارت الگوریتم DLMS در مرحلهٔ اول از الگوریتم تصحیح خطا



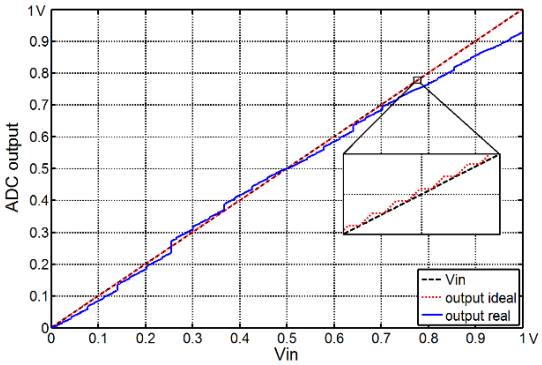
شکل (۸): فلوچارت الگوریتم DLMS در مرحلهٔ دوم از الگوریتم تصحیح خطا

۶. شبیه‌سازی الگوریتم تصحیح خطا پیشنهادی

مبدل خطلوله به‌صورت رفتاری و به‌ازای همهٔ حالت‌ها در محیط MATLAB مدل و شبیه‌سازی شده است. با توجه به شبیه‌سازی‌های انجام‌شده و مراجع [۹ و ۱۵]، برای اعمال خطای بهرهٔ غیرخطی به رابطهٔ (۲) عبارت $A - B(V_{in} + KV_{REF} + V_{OFF})^2$ جایگزین A شود است. به این ترتیب بهرهٔ تقویت‌کننده، غیرخطی و به ولتاژهای ورودی خود وابسته خواهد بود. شکل (۹) نتایج شبیه‌سازی رفتاری مدار Non-flip-around شکل (۲) با استفاده از رابطهٔ (۲) در حالت ایدئال $A = \infty$ و بهرهٔ محدود $A = 25$ [۹] را نشان می‌دهد. مبدل خطلوله از ۱۵ طبقهٔ ۱/۵ بیتی و یک طبقهٔ ۱ بیتی که توسط یک مقایسه‌کننده به دست می‌آید، تشکیل شده است. شکل (۱۰) نتایج شبیه‌سازی رفتاری مبدل خطلوله با ۱۶ بیت دقت را در حالت ایدئال و واقعی نشان می‌دهد.



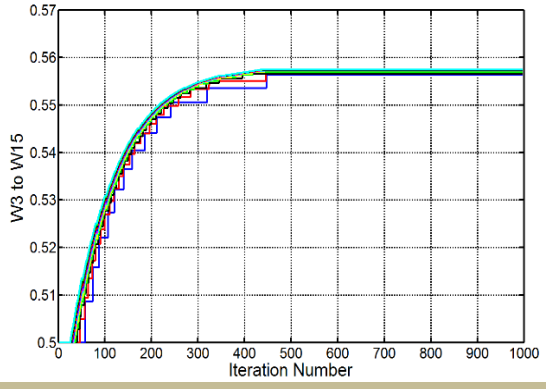
شکل (۹): نتایج شبیه‌سازی رفتاری مدار Non-flip-around در حالت ایدئال و واقعی



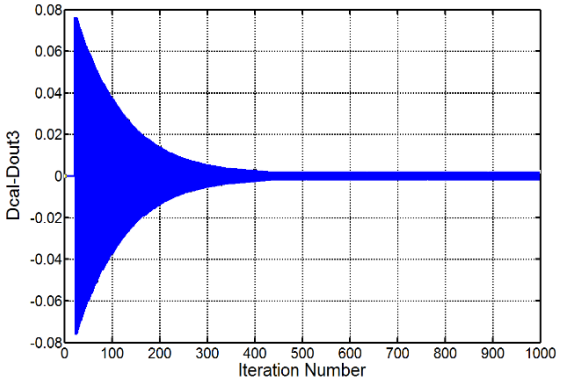
شکل (۱۰): نتایج شبیه‌سازی رفتاری مبدل خطلوله با ۱۶ بیت دقت در حالت ایدئال و واقعی

پس از شبیه‌سازی الگوریتم تصحیح خطا پیشنهادی با زبان Verilog HDL، نتایج آن دوباره توسط MATLAB رسم شده

است. شکل (۱۱) نحوهٔ تنظیم وزن‌های طبقات انتهایی مبدل خطلوله و شکل (۱۲) تغییرات سیگنال خطا در مرحلهٔ اول از الگوریتم تصحیح خطا و به‌ازای بهرهٔ محدود ۲۵ برای تقویت‌کننده حلقهٔ باز در همهٔ طبقات مبدل خطلوله را نشان می‌دهند. مقدار اولیه وزن‌های طبقات انتهایی مبدل خطلوله $(0.5)^{j-2}\ j = 3,\cdots,15$ (j شمارهٔ طبقات) بوده که پس از تصحیح، مقدار تقریبی وزن‌ها برابر 0.5578 (معکوس بهرهٔ تقویت‌کنندهٔ حلقهٔ بسته) هستند. اختلاف وزن‌های تنظیم‌شده با مقدار ایدئال 3×10^{-7} است. تأخیر اولیه در تنظیم وزن‌های طبقات انتهایی مبدل خطلوله و سیگنال خطا در مرحلهٔ اول ناشی از تأخیر ذاتی ساختار خطلوله در الگوریتم DLMS است.

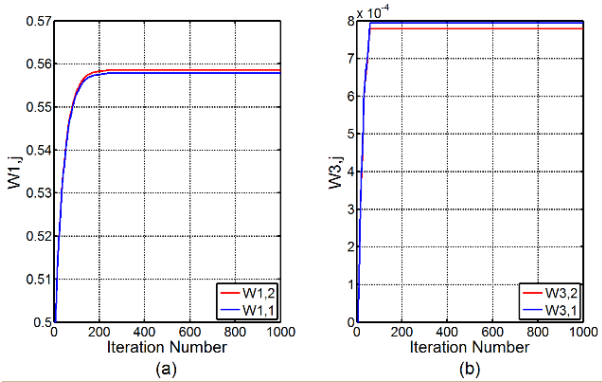


شکل (۱۱): نحوهٔ تنظیم وزن‌های طبقات انتهایی مبدل خطلوله

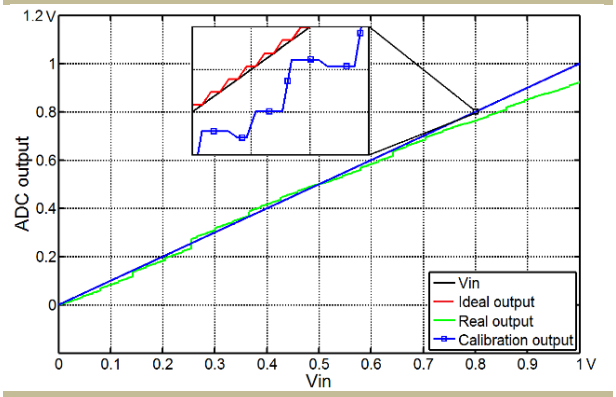


شکل (۱۲): تغییرات سیگنال خطا

شکل‌های ۱۳(a) و ۱۳(b) به‌ترتیب نحوهٔ تنظیم وزن‌های خطی و غیرخطی طبقات دوم و اول در مرحلهٔ دوم و سوم از الگوریتم تصحیح خطا را نشان می‌دهند. خروجی مبدل خطلوله قبل و پس از تصحیح خطا در شکل (۱۴) نشان داده شده است. به‌رغم فاصلهٔ بسیار زیاد خروجی تصحیح نشده مبدل خطلوله از مقدار ایدئال خود به‌دلیل کثرت منابع خطا، خروجی مبدل پس از تصحیح کاملاً نزدیک به مقدار ایدئال خود بوده و منابع خطا به‌خوبی توسط الگوریتم تصحیح خطای دیجیتال حذف شده‌اند.



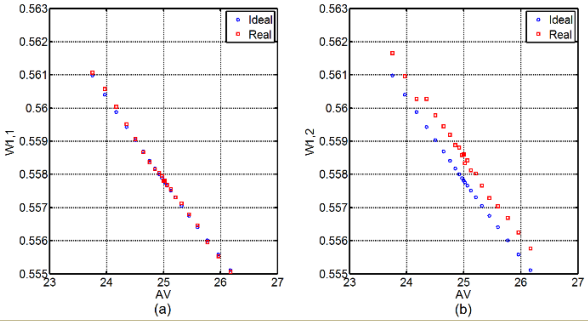
شکل (۱۳): نحوهٔ تنظیم وزن‌های خطی و غیرخطی طبقات دوم و اول مبدل خطلوله



شکل (۱۴): خروجی مبدل خطلوله قبل و پس از تصحیح خطا

بهرهٔ محدود تقویت‌کننده و عدم تطابق خازن‌های نمونه‌بردار از جمله مهم‌ترین منابع خطا در مبدل خطلوله هستند [۱۵ـ۱۷] و هر دو در مدار Non-flip-around شکل (۲) سبب تغییر بهرهٔ تقویت‌کنندهٔ حلقهٔ بسته خواهند شد. بنابراین اثر شرایط محیطی را می‌توان بر بهرهٔ تقویت‌کنندهٔ حلقهٔ بسته ارزیابی کرد. تقویت‌کنندهٔ حلقهٔ باز با بهرهٔ ۲۵ توسط یک تقویت‌کنندهٔ دو یا تک‌طبقه با تقریب بسیار مناسبی قابل پیاده‌سازی است [۹ـ۱۱]. ازاین‌رو با تحلیل مونت کارلو بهرهٔ تقویت‌کنندهٔ حلقهٔ باز به مقدار ۲۵±۱,۲۸ تغییر داده شده و توانایی الگوریتم تصحیح خطا در تصحیح خطای بهرهٔ تقویت‌کنندهٔ حلقهٔ بسته به‌ازای تمامی این مقادیر بررسی شده است. شکل‌های ۱۵(a) و ۱۵(b) به‌ترتیب تغییرات دو وزن نمونهٔ خطی مبدل خطلوله برحسب بهرهٔ تقویت‌کنندهٔ حلقهٔ باز در حالت ایدئال و پس از تنظیم

توسط الگوریتم تصحیح خطا را نشان می‌دهند. تعداد نمونه‌ها برای هر وزن ۲۱ عدد است.



شکل (۱۵): تحلیل مونت کارلو دو وزن نمونهٔ خطی مبدل خطلوله

مقایسهٔ الگوریتم تصحیح خطا دیجیتال پیشنهادی با سایر الگوریتم‌ها تصحیح خطای مبدل خطلوله از دو جنبهٔ کمی و کیفی قابل ارزیابی است. جدول‌های (۱) و (۲) به‌ترتیب مقایسهٔ کیفی و کمی روش پیشنهادی با سایر الگوریتم‌های تصحیح خطا مبدل خطلوله را نشان می‌دهند. در مجموع الگوریتم تصحیح خطا پیشنهادی در مقایسه با سایر روش‌ها به‌ازای توان مصرفی کمتر، خطای بهرهٔ محدود و عدم تطابق خازن‌ها را برای همهٔ طبقات مبدل و خطای بهرهٔ غیرخطی را برای دو طبقهٔ اول مبدل خطلوله با سرعت بسیار زیاد تصحیح می‌کند. همچنین روش پیشنهادی به‌خوبی خطاهای ناشی از اثر شرایط محیطی بر مبدل خطلوله را با توجه به تحلیل مونت‌کارلو تصحیح کرده و برای ابزارهای الکترونیکی نظیر دوربین عکاسی مناسب است.

۷. نتیجه‌گیری

مدل‌سازی معکوس مبدل خطلوله در حوضهٔ دیجیتال علاوه بر تصحیح مبدل با استفاده از مدارات دیجیتالی، امکان کاهش بهرهٔ تقویت‌کننده‌ها و بهینه‌سازی مدارات آنالوگ را نیز فراهم می‌کند. بنابراین تصحیح مبدل خطلوله با روش پیشنهادی سبب افزایش سرعت و کاهش حجم و توان مصرفی مبدل خواهد شد. در ادامه با استفاده از الگوریتم DLMS به‌جای LMS، علاوه بر ثابت ماندن دقت، سرعت همگرایی الگوریتم تصحیح خطا به میزان قابل توجهی افزایش داده شده است.

جدول (۱): مقایسهٔ کیفی الگوریتم تصحیح خطا پیشنهادی با سایر الگوریتم‌های تصحیح خطا مبدل خطلوله

توضیحات	تصحیح خطای غیرخطی	تصحیح عدم تطابق خازن‌ها	تصحیح خطای بهره	الگوریتم تصحیح خطا
تصحیح خطای غیرخطی فقط برای طبقهٔ اول، نیاز به بیت اضافه برای طبقات تحت تصحیح	✓		✓	[۲۱]
نیاز به مبدل ADC دقیق و کم‌سرعت برای تصحیح خطا		✓	✓	[۵]، [۶]، [۲۲]، [۲۳]
نیاز به دو منبع پالس ساعت برای ADC (F_C) و مدارات نمونه‌بردار (F_S)، $F_C > F_S$	✓	✓	✓	[۲۴]، [۲۵]، [۲۶]
کاهش رنج تغییرات ورودی	✓	✓	✓	[۲۷]
افزایش سرعت و دقت مبدل خطلوله و کاهش توان مصرفی	✓	✓	✓	روش پیشنهادی

جدول (۲): مقایسهٔ کمی الگوریتم تصحیح خطا پیشنهادی با سایر الگوریتم‌های تصحیح خطا مبدل خطلوله

الگوریتم تصحیح خطا	[۹]	[۱۰]	[۴]	[۳]	[۵]	روش پیشنهادی
سرعت همگرایی	۱۵×۱۰^{۳}	۴۰×۱۰^{۳}	۱۰×۱۰^{۳}	۲۰×۱۰^{۳}	۸۰×۱۰^{۳}	۳×۱۰^{۳}

مراجع

[1] Sahoo B., "*An overview of digital calibration techniques for pipelined ADCs*", 2014 IEEE 57th International Midwest Symposium on Circuits and Systems (MWSCAS), pp. 1061-1064, 2014.

[2] Blecker E. B., McDonald T. M., Erdogan O. E., Hurst P. J., and Lewis S. H., "*Digital background calibration of an algorithmic analog-to-digital converter using a simplified queue*", IEEE Journal of Solid-State Circuits, Vol. 38, pp. 1059-1062, 2003.

[3] McNeill J. A., Coln M. C. W., Brown D. R., and

Larivee B. J., "*Digital background-calibration algorithm for "Split ADC" architecture*", IEEE Transactions on Circuits and Systems I: Regular Papers 56, No. 2 (2009): 294-306.

[4] Ahmed I. and Johns D., "*An 11-bit 45 MS/s pipelined ADC with rapid calibration of DAC errors in a multibit pipeline stage*", IEEE Journal of Solid-State Circuits, Vol. 43, pp. 1626-1637, 2008.

[5] Chiu Y., Tsang C. W., Nikolić B., and Gray P. R., "*Least mean square adaptive digital background calibration of pipelined analog-to-digital converters*", IEEE Transactions on Circuits and Systems I: Regular Papers, Vol. 51, pp. 38-46, 2004.

[6] Tahmasebi A., Kamali A., Kanani Z. K., and Sobhi J., "*A simple background interstage gain calibration technique for pipeline ADCs*", International Conference on Signal Acquisition and Processing. ICSAP 2009, pp. 221-224, 2009.

[7] Shu Y. S. and Song B.-S., "*A 15-bit linear 20-MS/s pipelined ADC digitally calibrated with signal-dependent dithering*", IEEE Journal of Solid-State Circuits, Vol. 43, pp. 342-350, 2008.

[8] Siragusa E. and Galton I., "*A digitally enhanced 1.8-V 15-bit 40-MSample/s CMOS pipelined ADC*", IEEE Journal of Solid-State Circuits, Vol. 39, pp. 2126-2138, 2004.

[9] Sahoo B. D. and Razavi B., "*A 12-bit 200-mhz cmos adc*", IEEE Journal of Solid-State Circuits, Vol. 44, pp. 2366-2380, 2009.

[10] Verma A. and Razavi B., "*A 10b 500-MHz 55 mW CMOS ADC*", IEEE Journal of Solid-State Circuits, Vol. 44, No. 11, pp. 3039-3050, Nov. 2009.

[11] Sahoo B. D. and Razavi B., "*A 10-b 1-GHz 33-mW CMOS ADC*", IEEE Journal of Solid-State Circuits, Vol. 48, pp. 1442-1452, 2013.

[12] Sahoo B., "*An overview of digital calibration techniques for pipelined ADCs*", 2014 IEEE 57th International Midwest Symposium on Circuits and Systems (MWSCAS), pp. 1061-1064, 2014.

[13] Meng H. and Sun J., "*A 1.2 v 10bit 83msps pipeline adc in 130nm cmos*", in 2009 Asia Pacific Conference on Postgraduate Research in Microelectronics & Electronics (PrimeAsia), pp. 177-180, 2009.

[14] Razavi B., Principles of data conversion system design: IEEE press, 1995.

[15] Chiang S.-h., "*High-Speed, Low-Power Analog-to-Digital Converters*", Ph.D. dissertation, University of California, Los Angeles, 2013.

[16] Ingino J. M. and Wooley B., "*A continuously calibrated 12-b, 10-MS/s, 3.3-VA/D converter*", IEEE Journal of Solid-State Circuits, Vol. 33, pp. 1920-1931, 1998.

[17] Ravi C., Sarma V., and Sahoo B., "*At speed digital gain error calibration of pipelined ADCs*", In New Circuits and Systems Conference (NEWCAS), 2015 IEEE 13th International, pp. 1-4. IEEE, 2015.

[18] Razavi B., Design of Analog CMOS Integrated Circuits. New York: McGraw-Hill, 2001.

[۱۹] پاکدل، مجتبی، تصحیح‌کننده‌های دیجیتالی خطا در مبدل آنالوگ به دیجیتال خطلوله، کارشناسی ارشد، دانشگاه کاشان، کاشان، ۱۳۹، ۱۳۹۵

[20] Widrow B. and Stearns S. D., *Adaptive Signal Processing*, Englewood Cliffs, NJ, USA: Prentice-Hall, 1985.

[21] Murmann B. and Boser B. E., "*A 12-bit 75-MS/s pipelined ADC using open-loop residue amplification*", IEEE Journal of Solid-State Circuits, Vol. 38, No. 12, pp. 2040–2050, Dec. 2003.

[22] Abou-El-Kheir N. T., Khedr M. E., and Abbas M., "*A fast power efficient equalization-based digital background calibration technique for pipelined ADC*", 2014 Proceedings of the 21st International Conference in Mixed Design of Integrated Circuits & Systems (MIXDES), pp. 108-112, 2014.

[23] Wang X., Hurst P. J., and Lewis S. H., "*A 12-bit 20-Msample/s pipelined analog-to-digital converter with nested digital background calibration*", IEEE Journal of Solid-State Circuits, Vol. 39, No. 11, pp. 1799–1808, Nov. 2004.

[24] Erdoğan O. E., Hurst P. J., and Lewis S. H., "A 12-b digital-background-calibrated algorithmic ADC with-90-dB THD," IEEE Journal of Solid-State Circuits, Vol. 34, pp. 1812-1820, 1999.

[25] Blecker E. B., McDonald T. M., Erdogan O. E., Hurst P. J., and Lewis S. H., "*Digital background calibration of an algorithmic analog-to-digital converter using a simplified queue*", IEEE Journal of Solid-State Circuits, Vol. 38, pp. 1059-1062, 2003.

[26] Grace C. R., Hurst P. J., and Lewis S. H., "*A 12-bit 80-Msample/s pipelined ADC with bootstrapped digital calibration*", IEEE Journal of Solid-State Circuits, Vol. 40, No. 5, pp. 1038–1046, May 2005.

[27] Panigada A. and Galton I., "*A 130 mW 100 MS/s pipelined ADC with 69 dB SNDR enabled by digital harmonic distortion correction*", IEEE Journal of Solid-State Circuits, Vol. 44, pp. 3314-3328, 2009.