نشریه علمی- ترویجی محاسبات نرم
شمارهٔ ششم/ بهار و تابستان ۹۴/ صفحهٔ ۳۰ـ۴۱

دریافت مقاله: ۱۳۹۳/۷/۱۷
پذیرش مقاله: ۱۳۹۴/۵/۲۳

لچ استاتیک مقاوم در برابر خطای نرم با تأخیر و توان مصرفی پایین

علی اصغر سعادت‌زاده*[۱]، حسین کریمیان علی‌داش [۲]

[۱] کارشناسی ارشد مهندسی برق، الکترونیک، دانشکده مهندسی برق و کامپیوتر، دانشگاه کاشان، کاشان، ایران
ali_saadatzadeh@yahoo.com
[۲] استادیار گروه مهندسی برق، الکترونیک، دانشکده مهندسی برق و کامپیوتر، دانشگاه کاشان، کاشان، ایران
hkarimiyan@kashanu.ac.ir

چکیده: اهمیت قابلیت اطمینان مدارها و به‌خصوص اثر تشعشعات کیهانی و اشکالات ناشی از برخورد این ذرات به مدارات، با پیشرفت تکنولوژیِ ساخت مدارهای مجتمع و گذر از ابعاد میکرومتر به نانومتر، به‌صورت چشمگیری افزایش یافته است. در این مقاله، یک لچ مقاوم در برابر خطای نرمِ ناشی از برخورد ذرات پرانرژی به سطح تراشه، به‌منظور کاربرد در مدارهای با قابلیت اطمینان بالا معرفی می‌شود. اساس روش پیشنهادی، استفاده از فیدبک‌های چندگانه به هنگام قرارگیری لچ در وضعیت نگهداری از داده است. شبیه‌سازی‌های انجام‌شده با نرم‌افزار HSPICE در گوشه‌های تکنولوژی ۶۵ نانومتر و شرایط محیطی مختلف، نشان می‌دهد ساختار پیشنهادی قادر به حذف اثرات تک‌رخداد و نیز چندرخداد واژگونی بوده و در مقایسه با سایر مدارات مشابه، حداقل دارای کاهش حدود ۱۳ درصدی پارامترهای تأخیر و توان مصرفی است.

واژه‌های کلیدی: لچ، تشعشعات کیهانی، ذرهٔ نوترون، ذرهٔ آلفا، قابلیت اطمینان، مدارهای دیجیتال مقاوم در برابر خطای نرم.

۱. مقدمه

از نقطه‌نظر قابلیت اطمینان می‌توان کاربرد سیستم‌ها را به دو نوع بحرانی مانند کاربرد در صنعت هوافضا، تجهیزات پزشکی و خودرو و غیربحرانی مانند گوشی‌های موبایل و دستگاه‌های چندرسانه‌ای پخش صدا و تصویر تقسیم کرد. بدیهی است که در کاربردهای بحرانی، قابلیت اطمینان از نیازهای بسیار ضروری است، زیرا رخداد خرابی می‌تواند موجب از دست رفتن جان انسان‌ها یا حجم بالایی از اطلاعات مهم گردد. امروزه پیشرفت تکنولوژی باعث شده است که قابلیت اطمینان برای کاربردهای غیربحرانی نیز امری مهم تلقی شود. دلیل این مسئله آن است که بروز خطاهای متعدد در یک سیستم، باعث از دست رفتن اعتبار سازندهٔ قطعه شده و بازار فروش محصولات آتی را دچار مخاطره می‌کند. ازاین‌رو، امروزه قابلیت اطمینان برای تمامی کاربردها، اعم از بحرانی و غیربحرانی، یک پارامتر مهم محسوب می‌شود [۱ و ۲].

مدارهای دیجیتال مبتنی بر تکنولوژی CMOS به شکل ذاتی تا حدودی دارای قابلیت بازسازی سیگنال‌های تخریب‌شده هستند و این مسئله باعث شده که در این تکنولوژی، قابلیت اطمینان بالایی نسبت به اغتشاشات محیطی وجود داشته باشد. به همین دلیل طراحان، اغتشاشات محیطی را به عنوان یک دغدغهٔ ثانویه برای تکنولوژی‌های ساخت قدیمی لحاظ کرده و همواره بر روی قابلیت اطمینان ذاتی آن‌ها تکیه می‌کردند. درنتیجه هدف طراحی عمدتاً کاهش توان مصرفی، کاهش فضای اشغالی و افزایش سرعت بوده است و در واقع قابلیت اطمینان در میان پارامترهای طراحی در نظر گرفته نمی‌شد. با کاهش ابعاد ترانزیستورها و رسیدن به ابعاد نانومتری، کاهش قابلیت اطمینان مدارها به یک چالش جدی تبدیل شده و با توجه به این روند رو به رشد در طراحی مدارات VLSI، کارکرد صحیح آن‌ها به شکل چشمگیری دچار مخاطره شده است [۳-۶].

انواع خرابی مدارهای مبتنی بر تکنولوژی‌های نانومتر را می‌توان به دو بخش خرابی‌های دائم و خرابی‌های گذرا تقسیم کرد. خرابی‌های دائم باعث می‌شوند که سیستم به‌طور دائم عملکردی غیرصحیح داشته باشد. درحالی‌که اشکالات گذرا به‌دلیل شرایط محیطی خاص رخ داده و برای مدت زمان کوتاهی در سیستم حضور دارند. در این میان، خرابی‌های گذرای ناشی از برخورد ذرات پرانرژی ساطع‌شده توسط اشعه‌های کیهانی و همچنین برخورد ذرات آلفا به نواحی حساس یک قطعهٔ نیمه‌هادی، از اهمیت ویژه‌ای برخوردار است. هنگامی‌که یک ذرهٔ پرانرژی به قسمت حساس یک قطعهٔ نیمه‌هادی برخورد کند، کانال متراکمی از الکترون و حفره ایجاد می‌شود. حضور میدان الکتریکی سبب می‌شود این حامل‌های جریان، در مدار حرکت کرده و چنانچه بتوانند خازن موجود در گره اصابت‌دیده را شارژ و یا دشارژ کنند، پالس ولتاژ گذرایی به‌وجود می‌آید. چنانچه در حین عملیات فوق محتوای عنصر حافظه تحت تأثیر قرار گرفته و منطق آن تغییر کند، اصطلاحاً خطای نرم رخ داده است. گزارش شده است که در یک محیط مطلوب حدود ۹۰٪ از خرابی‌های یک سامانهٔ کامپیوتری ناشی از اشکال‌های گذراست [۷]. به همین دلیل در ارزیابی نرخ خطا و از کار افتادن سامانه، اشکال‌های گذرا از اهمیت بیشتری برخوردارند.

میزان مقاومت مدار در تأثیرپذیری از برخورد ذرات پرانرژی، با مشخصهٔ مقدار بار بحرانیِ ذخیره‌شده در گره‌های آن سنجیده می‌شود. بار بحرانی، مقدار بار الکتریکی ذخیره‌شده در یک گره مدار است که برای مقابله با بار تزریق‌شده در اثر برخورد ذره کافی است و مقدار آن وابسته به مشخصات تکنولوژی ساخت، ابعاد المان‌ها و تغذیهٔ مدار است. چنانچه بار تزریق‌شده در اثر برخورد بیش از این مقدار باشد، احتمال تغییر و بروز خطای نرم وجود دارد [۸].

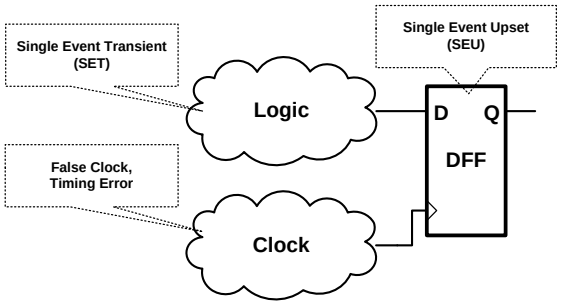
در حالت کلی و با در نظر گرفتن مشخصات تکنولوژی‌های امروزی، ذرهٔ آلفا در اثر برخورد، به ازای هر میکرومتر نفوذ در سیلیکون، بار الکتریکی در رنج ۴ تا ۱۶ فمتوکولن تولید می‌کند و رنج ممکن برای نفوذ ذرهٔ آلفا تا ۷۰ میکرومتر است. در برخورد نوترون، به ازای هر میکرومتر نفوذ، بار الکتریکی در رنج ۲۵ تا ۱۵۰ فمتوکولن تولید می‌شود، ولی قابلیت نفوذ نوترون در حد ۸ میکرومتر است [۹ و ۱۰].

با پیشرفت تکنولوژیِ ساخت ادوات نیمه‌هادی و کوچک‌تر

شدن ابعاد، مدارهای الکترونیکی بیشتر در معرض انواع اثرات محیطی قرار گرفته و میزان قابلیت اطمینان در آن‌ها پایین آمده است. کم‌شدن ظرفیت خازنی گره‌های مدار در اثر کوچک‌شدن ابعاد المان‌ها در کنار روش‌های کاهش توان مصرفی همچون کاهش ولتاژ تغذیه، باعث شده بار ذخیره‌شده در هر کدام از گره‌های مدار کاهش یابد. کاهش بار و افزایش فرکانس کار، مدارهای دیجیتال را در مقابل خطای نرمِ ناشی از برخورد ذرات پرانرژی، حساس‌تر کرده است [۹-۱۱].

در حالت کلی، امکان برخورد یک ذرهٔ پرانرژی با اجزای مختلف مدار دیجیتال شامل مدارهای منطقی، المان‌های حافظه و خطوط سیگنال‌های کنترلی وجود دارد. شکل (۱) قسمت‌های مختلف مدار و حالت‌های مختلف تأثیر برخورد ذرات را نشان می‌دهد. بار تزریق‌شده در اثر برخورد ذره به گیت‌های منطقی، پس از عبور از مدارهای منطقی باعث ایجاد موج ولتاژ گذرایی در خروجی قسمت ترکیبی می‌شود که تک‌رخداد گذرا (SET) نام دارد. چنانچه برخورد ذرهٔ پرانرژی بتواند هم‌زمان چندین گره از بخش ترکیبی مدار دیجیتال را تحت تأثیر قرار دهد، به آن چندرخداد گذرا(MET) گویند. موج‌های گذرای ولتاژ ایجاد شده در اثر برخورد ذرهٔ پرانرژی در زمان انتقال و انتشار، می‌تواند به‌وسیلهٔ ساختار منطقی، الکتریکی یا بازه زمانی نمونه‌برداری لچ، ماسک شده و جلوی انتقال و انتشار بیشتر آن گرفته شود. این سه عامل تا حدودی احتمال خطای نرم را کاهش می‌دهند، ولی باز هم تعداد زیادی از موج‌های گذرا با دورهٔ زمانی کافی به المان‌های ذخیره‌سازی می‌رسند. چنین اشکالات گذرایی تنها در صورتی به رخداد خرابی و خطای نرم منجر می‌شوند که بتوانند پوشش‌های طبیعی را پشت سر گذاشته و خود را در بازه نمونه‌برداری بخش‌های ترتیبی به آن‌ها رسانده و به عنوان «داده» ذخیره شوند. برخورد ذره می‌تواند مستقیماً گره‌های داخلی مدارهای حافظه را تحت تأثیر قرار داده و منجر به تغییر وضعیت مدار گردد. این پدیده، تک‌رخداد واژگونی (SEU) نام دارد. درصورتی‌که چندین گره از بخش ترتیبی در اثر برخورد ذرهٔ پرانرژی تغییر وضعیت دهند، از آن به چندرخداد واژگونی (MEU) یاد می‌کنند [۱۲ و ۱۳].

برخورد ذره با مدارهای کنترلی مانند مدارهای پالس ساعت نیز می‌تواند سیگنال‌های کنترلی را به خطا فعال کرده و درنتیجه باعث ذخیرهٔ ناخواسته اطلاعات و یا تولید خطاهای زمان‌بندی شود [۱۴].



شکل (۱): اثر برخورد ذره به قسمت‌های مختلف مدار

عمدتاً بزرگ‌ترین بخش مدارات مختلف را حافظه‌ها تشکیل داده و به‌دلیل چگالی بالای آن‌ها در مقایسه با سایر بخش‌های مدار، آسیب‌پذیری بیشتری نیز نسبت به برخورد ذرات خواهند داشت. به همین دلیل در گذشته، تک‌رخداد واژگونی (در مدارات حافظه) از اهمیت بیشتری برخوردار بوده و بخش عمدهٔ خطای نرم سامانه را تشکیل می‌داده است. این امر موجب شده که تاکنون روش‌های بسیاری برای کاهش نرخ خطای نرم ناشی از اشکال‌های تک‌رخداد واژگونی ارائه شوند. کدهای تصحیح خطا و روش‌هایی که برای طراحی سلول‌های حافظه و عناصر ترتیبی مقاوم ارائه شده‌اند، از جملهٔ این روش‌ها هستند [۱۵]. از طرف دیگر در تکنولوژی‌های امروزی، حدود نصف خطاهای ایجاد شده مرتبط با المان‌های ذخیره‌سازی است [۱۶]]. ازاین‌رو، لچ‌ها و فلیپ فلاپ‌ها در جهت مقابله با خطای نرم مورد توجه قرار گرفته‌اند [۱۶-۲۰]. مطالعات و بررسی‌ها نشان می‌دهد که در تکنولوژی‌های امروزی، مدارهای منطقی نیز نسبت به خطای نرم حساس‌تر شده‌اند [۱۰، ۲۱ و ۲۲].

مطالعهٔ طیف و توزیع انرژی نوترون نشان می‌دهد که در طبیعت تراکم این ذره با مقادیر انرژی کم به مراتب بیشتر از تراکم آن در مقادیر انرژی بالاست [۱۰]. درنتیجه با کوچک شدن بیشتر ابعاد مدار و کاهش مقدار بار بحرانی، مدار تحت تاثیر ذرات با انرژی کمتر ولی دانسیتهٔ بالاتر قرار گرفته و لذا احتمال خطای نرم بالاتر می‌رود. از طرفی امروزه به‌دلیل افزایش

تراکم قطعات، احتمال تحت تأثیر قرارگرفتن هم‌زمان چندین گره از مدار در اثر برخورد یک ذرهٔ پرانرژی و درنتیجه خطای نرم ناشی از اشکالات چندرخداد نیز بیشتر شده است.

مقالهٔ حاضر با توجه به اهمیت مقابله با خطای نرم ناشی از اشکالات چندرخداد در ساختار المان‌های ترتیبی، به معرفی لچی مقاوم در برابر این اشکالات با تأخیر و توان مصرفی پایین می‌پردازد.

در ادامه و در بخش دوم، روش‌های مقاوم‌سازی و کارهای مرتبط قبلی مرور می‌شود. در بخش سوم مداری پیشنهادی به‌منظور مقابله با خطای نرم ناشی از اشکالات تک‌رخداد و نیز چندرخداد واژگونی معرفی خواهد شد. در بخش چهارم، نتایج حاصل از شبیه‌سازی و در بخش پنجم، طراحی چیدمان فیزیکی مدار پیشنهادی مطرح می‌شود. در بخش ششم به خلاصه و نتیجه‌گیری پرداخته شده است.

۱. روش‌های مقاوم‌سازی

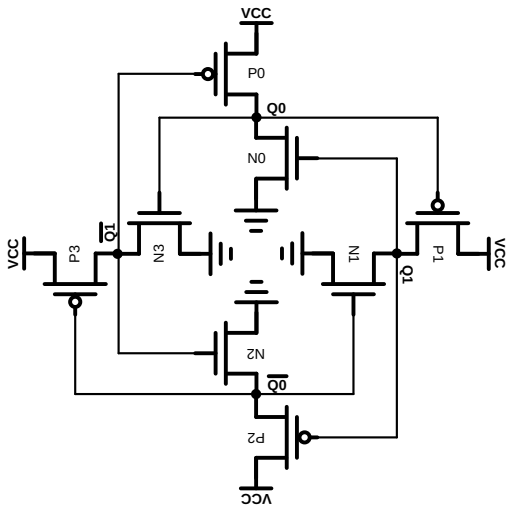
مقاوم‌سازی در برابر برخورد ذرات پرانرژی و خطای نرم ناشی از آن، در لایه‌های مختلف پروسهٔ ساخت، مدار و سیستم قابل انجام است. با اینکه با استفاده از مهندسی پروسه و تغییر مواد مورد استفاده در بسته‌بندی، می‌توان مشکل ذرهٔ آلفا را کاهش داد. بااین‌حال به‌دلیل قدرت نفوذ ذرات نوترون، لازم است با طراحی مناسب مقاومت مدارها در مقابل اثر برخورد این ذرات افزایش داده شود.

یکی از ساده‌ترین تکنیک‌های مقاوم‌سازی مدارها و جلوگیری از بروز خطای نرم، افزایش بار ذخیره شده در گره‌های مدار و تعیین اندازهٔ گیت‌ها به گونه‌ای است که تا حد امکان، جلوی انتشار موج‌های گذرا گرفته شود. البته به‌کارگیری این روش علاوه بر کاهش سرعت مدار و افزایش توان مصرفی، حرکت در خلاف جهت پیشرفت تکنولوژی است [۱۴].

در روش افزونگی مکانی چند نسخه جداگانه از داده، هم‌زمان مورد پردازش قرار گرفته، سپس با استفاده از روش‌های رأی‌گیری، انتخاب مقدار نهایی انجام می‌شود. یکی از این روش‌ها، استفاده از پردازش سه‌گانهٔ (TMR) و تبدیل لچ معمولی به لچ با افزونگی سه‌گانه یا TMR-Latch است [۱۰]. با اینکه این روش در کاهش نرخ خطا بسیار مؤثر است، افزایش زیاد فضای مصرفی و همچنین افزایش توان مصرفی مدار را در پی‌دارد.

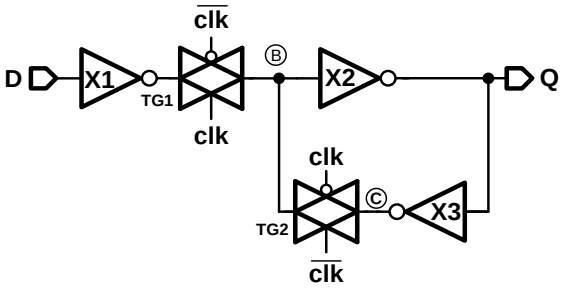
خاصیت افزونگی زمانی، بر استفاده از چند نسخهٔ تأخیریافتهٔ داده، علاوه بر نسخه اصلی استوار است. این روش قادر است تمام نویزهای دارای دورهٔ زمانی کوچک‌تر از تأخیر را حذف کند. این روش با اینکه افزایش تأخیر کلی مدار را در پی دارد، به‌دلیل فضای اشغال‌شدهٔ کمتر و توان مصرفی پایین، بیشتر از روش قبل مورد توجه است [۱۷ و ۲۳].

از جمله ساختارهای مداری ارائه‌شده به‌منظور مقابله با خطای نرم، سلول حافظهٔ دوقفله (DICE) است که مبتنی بر افزونگی مکانی است. این آرایش مداری که در شکل (۲) نشان داده شده، شامل دو حلقه از ترانزیستورهای NMOS و PMOS، یکی در جهت عقربه‌های ساعت و دیگری در خلاف جهت عقربه‌های ساعت است [۱۵ و ۱۸]. این ساختار مداری بر روی سلول حافظهٔ استاندارد اعمال شده و نیز در طراحی لچ‌های فعال شونده با پالس و فلیپ‌فلاپ‌ها [۲۴] از آن استفاده شده است. با اینکه ساختارهای مقاوم‌شده مبتنی بر مدار DICE دارای قابلیت خوبی در حذف اثر برخورد ذرات هستند، افزایش توان مصرفی و فضای اشغال‌شده و همچنین عدم حذف نویزهای ورودی از عیوب این مدارهاست [۲۵].

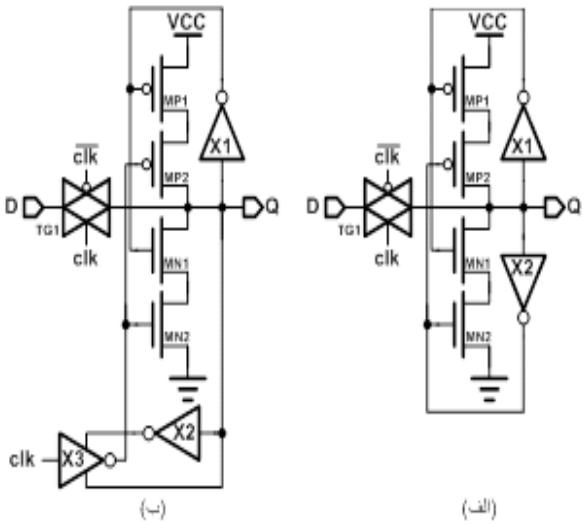


شکل (۲): مدار سلول حافظهٔ دوقفله [۱۸]

حلقهٔ فیدبک دوگانه، روش دیگری برای مقاوم‌سازی در برابر خطای نرم مبتنی بر افزونگی مکانی است. مطالعات نشان می‌دهند احتمال ایجاد خطای نرم در اثر برخورد ذره به گره‌های داخلی مدار لچ معمولی بسیار بیشتر از سایر گره‌هاست [۱۷]. در مدار لچ شکل (۳)، این گره‌ها B و C هستند.



شکل (۳): مدار داخلی یک لچ معمولی

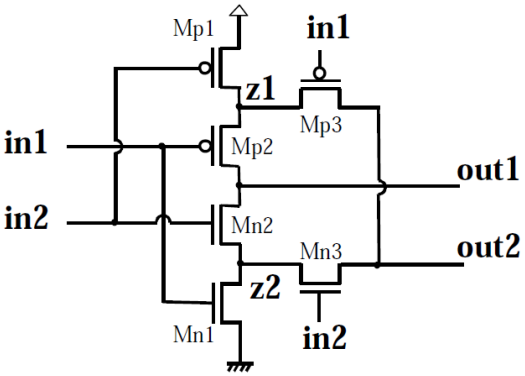


شکل (۴): روش حلقهٔ فیدبک دوگانه
(الف) لچ SIN-LC (ب) لچ SIN-HR [۱۷]

با استفاده از روش حلقهٔ فیدبک دوگانه، حلقهٔ فیدبک لچ با دو حلقهٔ فیدبک جایگزین می‌شود. مدار لچ SIN-LC [۱۷] در شکل (۴-الف) پیاده‌سازی این روش است، ولی ساختار معرفی‌شده در این لچ، دارای مشکل اندازهٔ المان‌ها و نیز مشکل جریان‌های رقابتی در گره خروجی است.

لچ SIN-HR [۱۷] (شکل ۴-ب)، لچ FERST [۲۳] و لچ HiPeR [۳۳] پیاده‌سازی‌های دیگری از ایدهٔ حلقهٔ فیدبک دوگانه است. علاوه بر مشکل عمدهٔ در نظر نگرفتن احتمال خطا در اثر نویز ورودی، فضای اشغال‌شدهٔ بالا، توان مصرفی زیاد و مشکلات زمان‌بندی از عیوب این طرح‌هاست.

اثر فیدبک منفی [۲۶] و تأثیر نحوهٔ چیدمان و طرح فیزیکی مدار (Layout) در کاهش ضریب جذب بار و نیز کاهش نرخ خطای نرم، مطالعه و گزارش شده است [۲۷ و ۲۸].

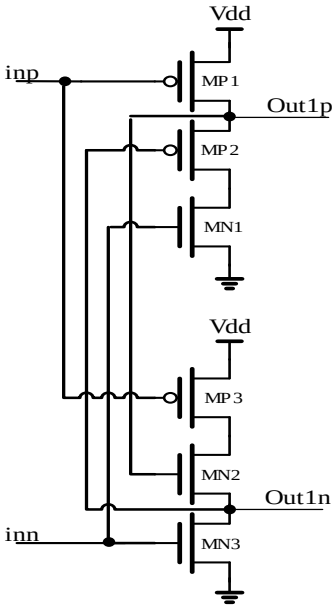


شکل (۵): ساختار ترانزیستوری معکوس‌کنندهٔ HZ [۲۹]

مطابق شکل (۳)، یکی از مهم‌ترین اجزای سازندهٔ لچ، بخش مربوط به معکوس‌کننده است. لذا در [۲۹] با ارائهٔ ساختاری جدید و مقاوم برای این بخش، مقاومت کلی مدار نسبت به ذرات پرانرژی افزایش یافته است. اساس عملکرد این معکوس‌کننده، به‌کارگیری دو تکنیک هم‌زمان است: افزونگی اطلاعات برای حفاظت از اطلاعات و خروجی دوگانهٔ سه‌حالته برای جلوگیری از انتشار خطا.

شکل (۵) ساختار ترانزیستوری این معکوس‌کننده را نشان می‌دهد.در این شکل، زمانی که ورودی‌ها منطق‌های یکسانی داشته باشند، این ساختار عملکردی مشابه معکوس‌کنندهٔ معمولی داشته و خروجی، منطقی متفاوت با ورودی خواهد داشت. اما زمانی که ورودی‌ها دارای منطق‌هایی متفاوت باشند، خروجی در حالت امپدانس بالا قرار می‌گیرد. بنابراین اگر ذرهٔ پرانرژی یکی از ورودی‌ها را تحت تأثیر قرار داده و منطق آن را به گونه‌ای تغییر دهد که مخالف منطق ورودی دیگری گردد، خروجی به‌دلیل قرارگیری در وضعیت امپدانس بالا، منطق قبلی خود را حفظ کرده و بدین ترتیب از انتشار خطای به‌وجودآمده جلوگیری می‌شود [۲۹]. ساختار مشابهی در [۳۰] مطابق شکل (۶) پیشنهاد شده است. از عمده معایب چنین

ساختارهایی، توان مصرفی بالای آن‌هاست.



شکل (۶): ساختار ترانزیستوری معکوس‌کننده [۳۰]

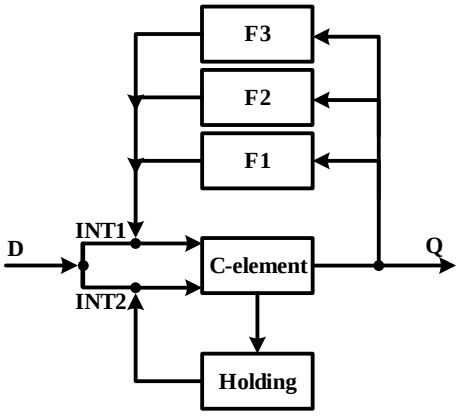
۲. لچ پیشنهادی مقاوم در برابر خطای نرم با بازدهی بالا موسوم به HPRL

در این قسمت، مداری پیشنهاد می‌شود که علاوه بر پوشش بیشتر اشکالات تک‌رخداد و نیز چندرخداد واژگونی، تأخیر و توان مصرفی کمی دارد و سرعت مدار را تحت تأثیر قرار نمی‌دهد.

این مدار از دو اصل کلی جهت مقاوم‌سازی بهره می‌گیرد: اصل اول به‌کارگیری ساختاری مشابه بخش C-element است که بر اساس آن، گره خروجی زمانی تغییر خواهد کرد که اکثریت گره‌های میانی دارای منطق‌های یکسانی باشند. اصل دوم بهره‌گیری از حلقه‌های فیدبکی مستقل از هم در فاز نگهداری از داده است. به‌کارگیری این اصل مقاومت گره خروجی را بالا برده و از حساسیت آن نسبت به برخورد ذره می‌کاهد.

به عبارت دیگر در ساختار پیشنهادی، از حلقهٔ فیدبک سه‌گانه به هنگام قرارگیری لچ در وضعیت نگهداری داده، استفاده شده است. شکل (۷) ساختار بلوک دیاگرامی این تکنیک را نشان می‌دهد.

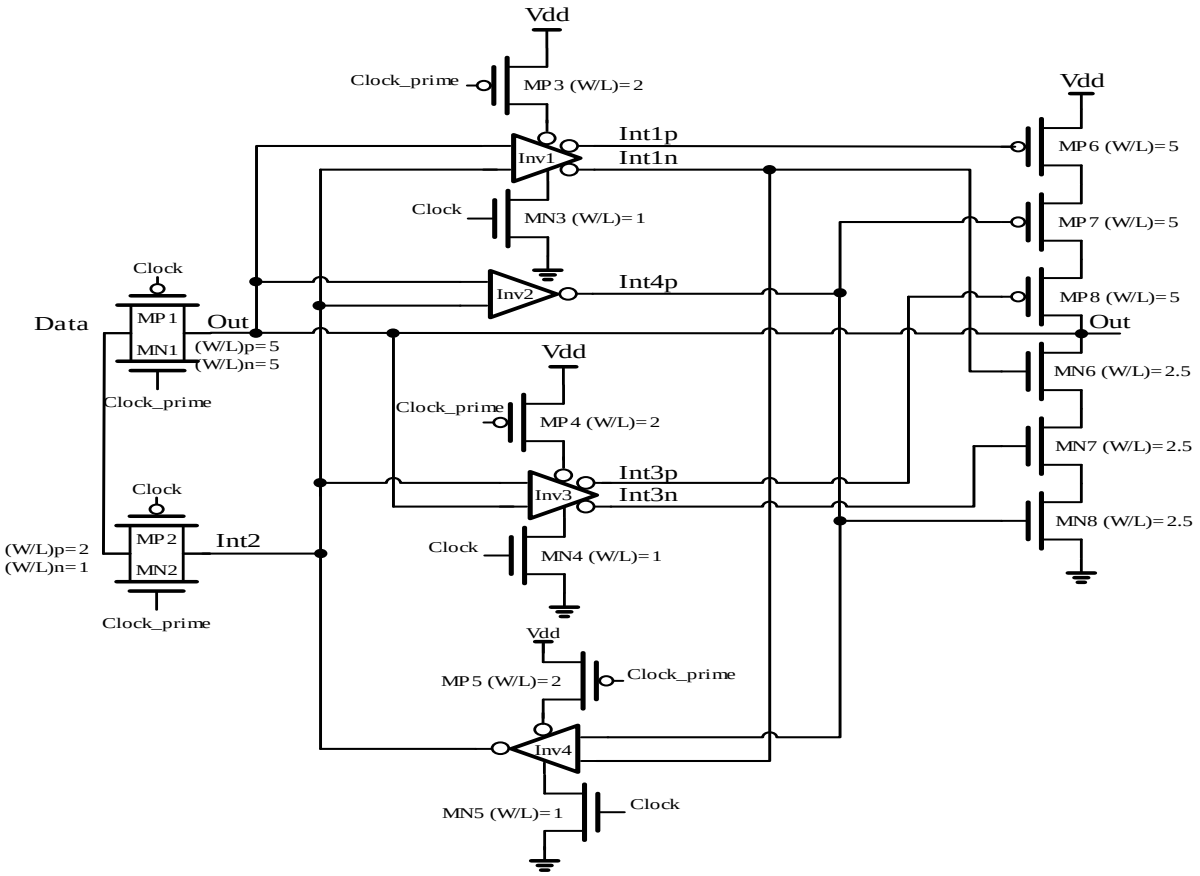
مطابق این شکل و با بهره‌گیری از بخش C-element در قسمت خروجی، انتظار می‌رود حساسیت مدار پیشنهادی نسبت به برخورد ذرهٔ پرانرژی کاهش یابد. از طرفی با استفاده از بخش Holding، از شناور شدن گره‌های میانی در وضعیت نگهداری لچ جلوگیری شده است.



شکل (۷): ساختار ترانزیستوری معکوس‌کننده

ساختار ترانزیستوری مدار پیشنهادی موسوم به HPRL در شکل (۸) نشان داده شده است. در وضعیت عادی، عملکرد مدار این‌گونه است: چنانچه سیگنال پالس ساعت در وضعیت صفر منطقی قرار گیرد، ترانزیستورهای MP1 و MN1 روشن بوده و لچ در وضعیت شفاف قرار می‌گیرد. در چنین حالتی، مسیر فیدبک باز بوده و ورودی مستقیماً به خروجی منتقل می‌گردد. پس از قرارگیری سیگنال پالس ساعت در وضعیت یکِ منطقی، لچ به وضعیت نگهداری رفته و با خاموش‌شدن ترانزیستورهای MP1 و MN1 مسیر مستقیم ورودی به خروجی باز می‌شود. اکنون خروجی، آخرین منطق خود را با بسته‌شدن مسیرهای فیدبک داخلی حفظ خواهد کرد. به عبارت دیگر در این وضعیت، منطق گره‌های میانی به‌صورتی است که یا شبکهٔ بالایی متشکل از ترانزیستورهای MP6، MP7 و MP8 روشن بوده و خروجی را در منطق یک نگه می‌دارند و یا ترانزیستورهای MN6، MN7 و MN8 روشن بوده و از این طریق، منطقِ صفر گره خروجی حفظ می‌شود.

ساختار ترانزیستوری معکوس‌کننده‌های دو ورودی-دو خروجی مورد استفاده در شکل (۸)، به ترتیب در شکل (۶) و شکل (۵) نشان داده شده است.



شکل (۸): ساختار ترانزیستوری طرح پیشنهادیHPRL جهت مقاومت در برابر پرتوهای کیهانی

۳. نتایج شبیه‌سازی

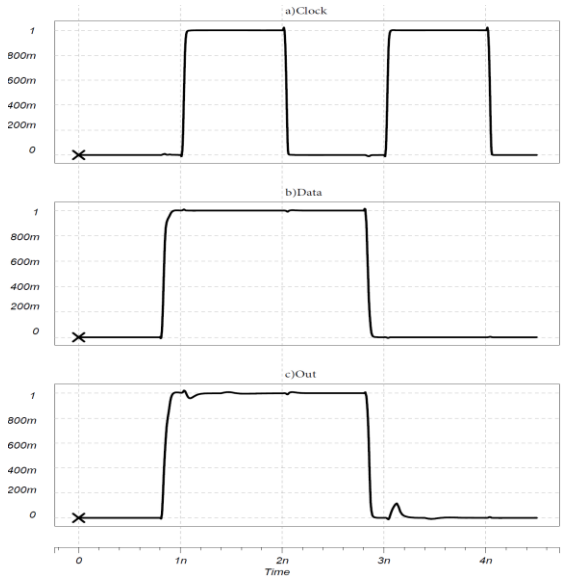
لچ پیشنهادی با استفاده از تکنولوژی ۶۵ نانومتر و ولتاژ تغذیه ۱ ولت طراحی شده و با استفاده از مدل‌های پیشگویانه PTM [۳۱] توسط نرم‌افزار HSPICE مورد شبیه‌سازی قرار گرفته است. گفتنی است سطح تکنولوژی مورد استفاده ۵۴ معادل BSIM4 بوده و لذا با توجه به منظور نمودن مساحت نواحی درین و سورس برای تمامی ترانزیستورها، اثر خازن‌های پارازیتی و جریان‌های نشتی نیز در شبیه‌سازی‌ها لحاظ شده است. برای شبیه‌سازی برخورد ذره از رابطهٔ دوتوانی مطابق معادلهٔ (۱) بهره گرفته شده است. در این رابطه، مقادیر ثابت‌زمانی‌های τ_α و τ_β به ترتیب ۱۵۰ و ۳۸ پیکوثانیه قرار داده شده است [۱۷ و ۲۱].

$$I(t)=\frac{Q}{\tau_\alpha-\tau_\beta}\times\left(e^{-\frac{t}{\tau_\alpha}}-e^{-\frac{t}{\tau_\beta}}\right) \qquad (۱)$$

در مسیرهای ورودی و خروجی از ترکیب گیت‌ها با بارگذاری به ترتیب چهار برابر و یک برابر معکوس‌کنندهٔ پایه استفاده شده است تا سیگنال‌های ورودی و خروجی دارای مشخصات تأخیری نزدیک به واقعیت باشند. همچنین با توجه به بارگذاری کمینه در گره خروجی، بار بحرانی این گره در بدترین وضعیت که همانا مینیمم مقدار است، محاسبه شده. در ادامه، نتایج مدل‌سازی و شبیه‌سازی عملکرد مدار پیشنهادی در دو وضعیت عادی و تحت تأثیر برخورد ذره مورد بررسی و نتایج آن با تعدادی مدارات مشابه مورد مقایسه قرار گرفته است.

۱.۴. عملکرد وضعیت عادی و استخراج پارامترهای زمانی

شکل (۹) نتایج حاصل از شبیه‌سازی را برای لچ مذکور در دو حالت شفاف و نگهداری نشان می‌دهد. در نیم‌سیکل نخست از سیگنال پالس ساعت، لچ اصطلاحاً در وضعیت شفاف قرار دارد. در این وضعیت، مسیر فیدبک باز بوده و ورودی مستقیماً به خروجی راه خواهد یافت. در حالتی که سیگنال پالس ساعت در وضعیت یکِ منطقی قرار گیرد، خروجی از طریق مسیرهای فیدبکی موجود در مدار که اکنون بسته شده است، منطق خود را حفظ خواهد کرد. جدول (۱) پارامترهای زمانی این لچ را با توجه به معیارهای تعریف‌شده در [۳۲] نشان می‌دهد.



شکل (۹): عملکرد لچ HPRL در دو وضعیت شفاف و نگهداری a) سیگنال پالس ساعت، b) سیگنال داده ورودی، c) خروجی نهایی

جدول (۱): پارامترهای زمانی لچ HPRL

پارامترهای مورد اندازه‌گیری	Setup time(ps)	Hold time(ps)	Minimum data pulse width(ps)
HPRL Latch	31.89	98.95	90.66

۲.۴. مقاومت مدار HPRL در برابر برخورد ذرهٔ پرانرژی

در ساختار HPRL، گره‌های کلی مدار از نظر حساسیت به برخورد ذرات پرانرژی به سه دسته تقسیم می‌شوند: در دستهٔ اول، اگرچه منطق گره مربوط با برخورد ذره تغییر می‌یابد، اثر آن در گره خروجی دیده نمی‌شود. تک‌گره‌ها و جفت‌گره‌های میانی در این دسته قرار می‌گیرند. شکل (۱۰) نتایج حاصل از این شبیه‌سازی را نشان می‌دهد. مطابق این شکل برخورد ذرهٔ پرانرژی در زمان‌های ۱/۵ و ۳/۵ نانوثانیه که لچ در بازه نگهداری از دادهٔ خود است، به گره‌های Int2 و Int4p، پوشش داده شده است. در دسته دوم با برخورد ذرهٔ پرانرژی، منطق گره اصابت‌دیده تغییر می‌یابد، اما پس از یک بازه زمانی منطق آن گره، مجدداً احیا می‌شود؛ برای مثال، گره خروجی در این دسته قرار داشته و برخورد ذرهٔ پرانرژی به این تک‌گره، پس از گذشت بازه زمانی محدود که به انرژی ذرهٔ برخوردکننده وابسته است، پوشش داده خواهد شد، زیرا در وضعیت نگهداری لچ، گره خروجی به تنهایی تمامی گره‌های میانی را تغذیه نمی‌کند و به عبارتی دیگر، چنانچه منطق این گره تحت تأثیر برخورد ذرهٔ پرانرژی تغییر یابد، به‌صورت موقتی گره‌های میانی در وضعیت امپدانس بالا قرار گرفته و منطق گره خروجی را احیا می‌کنند. با احیاشدن منطق گره خروجی، مجدداً گره‌های میانی نیز از حالت امپدانس بالا خارج شده و به وضعیت عادی خود بازمی‌گردند. در دستهٔ سوم، برخورد ذره موجب تغییر منطق گره خروجی شده و تنها با راه‌اندازی مجدد سامانه یا رسیدن پالس ساعت جدید و نمونه‌برداری از دادهٔ جدید قابل بازیابی خواهد بود. جدول (۲) و جدول (۳) مجموعهٔ این گره‌ها را به همراه میزان بار بحرانی آن‌ها نشان می‌دهد.

به‌طور خلاصه در ساختار HPRL، تنها در صورتی منطق گره خروجی در اثر برخورد ذرهٔ پرانرژی تغییر می‌یابد که این برخورد بتواند گره‌های جدول (۲) یا جدول (۳) را هم‌زمان تحت تأثیر قرار داده و باری بیشتر از میزان مندرج در این جدول‌ها را ایجاد کند. در غیر این صورت، برخورد ذرهٔ پرانرژی پوشش داده خواهد شد.

جدول (۲): سه‌گره‌های حساس و میزان بار بحرانی مربوط برحسب فمتوکولن در ساختار HPRL برای حالت‌های خروجی صفر و یک

	Int1p Int3p Int4p	Int1n Int3p Int4p	Int2 Int1p Int3p	Int2 Int1n Int3p	Int1p Int3n Int4p	Int1n Int3n Int4p	Int2 Int1p Int3n	Int2 Int1n Int3n
For out=0	4.7	7.6	2.3	5.5	6	13.6	28.7	26.3
For out=1	>31	3.9	>31	>31	>31	3.9	>31	>31

جدول (۳): جفت‌گره‌های حساس و میزان بار بحرانی مربوط برحسب فمتوکولن در ساختار HPRL برای حالت‌های خروجی صفر و یک

	Out Int1n	Out Int2	Out Int4p	Out Int3n	Out Int3p
For out=0	1.5	2	3.3	2.2	3.4
For out=1	3.3	3.4	3.4	3.4	2.2

۳.۴. بررسی قابلیت اطمینان ساختار HPRL در گوشه‌های تکنولوژی

در این بخش، هدف بررسی عملکرد ساختار مدارHPRL در گوشه‌های تکنولوژی است. جدول (۴) پارامترهای زمانی ساختار مذکور را برای حالت‌های حدی گوشهٔ سریع، کند و نیز حالت معمولی نشان می‌دهد. با توجه به نتایج به‌دست‌آمده و عملکرد مطلوب این ساختار در نقاط حدی، صحت عملکرد آن در سایرِ نقاط میانی نیز مورد تأیید است [۱۶].

جدول (۴): پارامترهای زمانی لچ HPRL در گوشه‌های تکنولوژی

	Corner	Setup time(ps)	Hold time(ps)	Minimum data pulse width(ps)
HPRL	TT	31.89	98.95	90.66
	FF	34.06	78.75	72.34
	SS	48.48	117.1	108.72

جدول (۵) نتایج حاصل از شبیه‌سازی درگوشه‌های تکنولوژی را برای یافتن میزان بار بحرانی و بررسی قابلیت اطمینان ساختار HPRL در این مودها نشان می‌دهد. با توجه به نتایج مندرج در این جدول و مقایسهٔ آن با جدول (۲)، مشاهده می‌شود که در گوشه‌های تکنولوژی، تنها به تعداد سه‌گره‌های حساس در برابر برخورد ذرات پرانرژی افزوده شده است.

جدول (۵): سه‌گره‌های حساس و میزان بار بحرانی برحسب فمتوکولن مربوط در ساختار HPRL برای حالت‌های خروجی صفر و یک در گوشه‌های مختلف تکنولوژی

		Corner	Int3n Int4p Int2	Int3p Int4p Int2	Int3p Int3n Int4p	Int1n Int3n Int2	Int1n Int3p Int2	Int1n Int3n Int4p	Int1n Int3p Int4p	Int1p Int3n Int2	Int1p Int3n Int4p	Int1p Int3p Int2	Int1p Int3p Int4p
HPRL	For out=0	TT	>31	>31	>31	26.3	5.5	13.6	7.6	28.7	6	2.3	4.7
		FF	11.9	4.9	17.1	7.9	4	12.7	11.7	6.1	12	3.4	9.9
		SS	>31	>31	>31	>31	8.2	>31	12.1	>31	>31	1.4	2.5
	For out=1	TT	>31	>31	>31	>31	>31	3.9	3.9	>31	>31	>31	>31
		FF	>31	>31	>31	>31	>31	6.1	6.1	>31	>31	>31	>31
		SS	>31	>31	>31	>31	>31	2.5	2.4	>31	>31	>31	>31

۴.۴. مقایسهٔ ساختار پیشنهادی با تعدادی از مدارهای مشابه

در جدول (۶) مقادیر تأخیر انتشار در مسیر ورودی داده تا خروجی (Delay)، توان مصرفی (Power)، حاصل‌ضرب توان-تأخیر (PDP) و همچنین مساحت مربوط به مدار پیشنهادی در مقایسه با چندین ساختار مشابه در شرایط شبیه‌سازی یکسان آورده شده است. گفتنی است مساحت مندرج در این جدول از رابطهٔ ریاضی به‌دست آمده است. به عبارت دیگر با توجه به معلوم بودن تعداد ترانزیستورهای مورد استفاده و نیز طول کانال تکنولوژی مربوط، مساحت

سیلیکون اشغال‌شده توسط هر کدام از ساختارهای مندرج در جدول (۶)، به‌صورت ریاضی تخمین زده شده است.

با توجه به نتایج به‌دست‌آمده از بخش ۴-۲ و نیز نتایج جدول (۶) مشاهده می‌شود که لچ پیشنهادی علاوه بر دارا بودن مقاومتی بیشتر نسبت به اکثریت مدارهای مشابه، از توان و تأخیر کمتر و به عبارت دیگر از PDP کمتری برخوردار است.

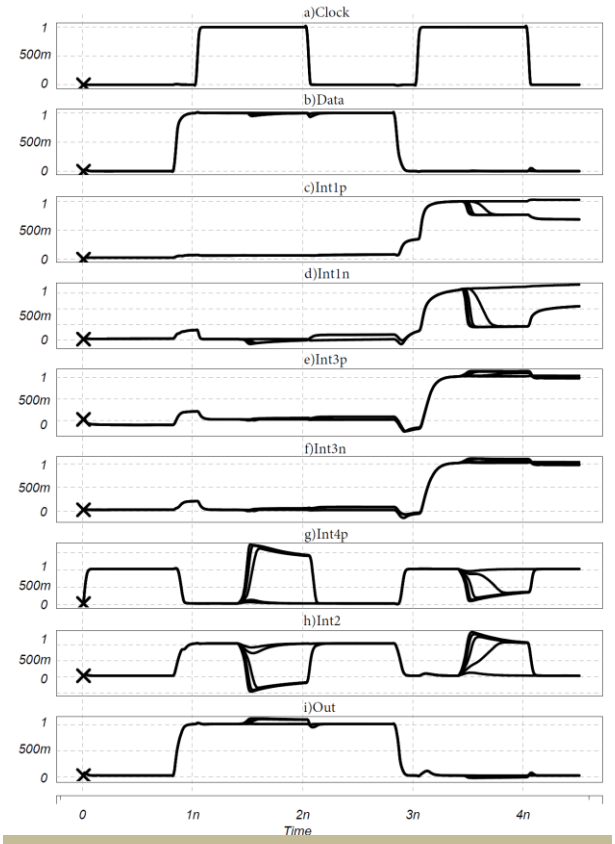
جدول (۶): مقایسهٔ پارامترهای عملکردی مدار پیشنهادی با سایر مدارهای مشابه در شرایط شبیه‌سازی یکسان

	Delay(ps)	Power(nwatt)	PDP(10^{-21}j)	Area(µm2)
HPRL *	21.03	5.9513	125.1558	29055
latch [24]	78.2	32.2688	2523.42	14820
latch [23]	89.1	11.0182	981.7216	14040
latch [33]	25.4	10.3655	263.2837	11700
latch [33]	17.6	8.2820	145.7632	13260
latch [34]	96	7.2546	696.4416	9360
latch [35]	45.3	6.8177	308.8418	5850
latch [36]	277.3	28.3813	7870.134	16380

* Proposed latch

مطابق نتایج مندرج در جدول (۶)، حداقل میزان کاهش پارامتر PDP ساختار پیشنهادی در مقایسه با سایر ساختارهای مشابه، حدود ۱۳٪ است که بیانگر بازده بالاتر و عملکرد بهتر آن خواهد بود. شایان ذکر است بهای پرداخت‌شده برای رسیدن به چنین مقاومت و بازدهی، مساحت اشغال‌شده بوده که در مقایسه با سایر ساختارهای مشابه، این پارامتر افزایش یافته است.

ازجمله مزایای ساختار HPRL، به‌کارگیری آن در مدارهای با قابلیت قطع سیگنال پالس ساعت است. ازآنجاکه در مدارهای با قابلیت قطع سیگنال پالس ساعت، در بازه‌ای از زمان، امکان پالس ساعت و ورود دادهٔ جدید به لچ امکان‌پذیر نیست، زیرا مدارهای مربوط باید به‌گونه‌ای باشند که منطق گره‌های موجود در آن‌ها به‌دلیل قرارگیری در وضعیت امپدانس بالا از دست نرود. به عبارت دیگر، هیچ گره‌ای نباید به‌صورت دائمی وارد وضعیت امپدانس بالا شود، چراکه قرارگیری گره در این وضعیت، به‌خصوص برای تکنولوژی‌های امروزی، به‌دلیل بالابودن جریان‌های نشتی، موجب از دست رفتن منطق آن می‌شود.



شکل (۱۰): برخورد ذرهٔ پرانرژی در زمان‌های ۱/۵ نانوثانیه و ۳/۵ نانوثانیه به جفت‌گره‌های Int2 و Int4p و پوشش رخداد خطای نرم ناشی از این اشکالات واژگونی a) سیگنال پالس ساعت، b) سیگنال داده ورودی، c) تغییرات گره Int1p، d) تغییرات گره Int1n، e) تغییرات گره Int3p، f) تغییرات گره Int3n، g) تغییرات گره Int4p، h) تغییرات گره Int2، i) خروجی نهایی

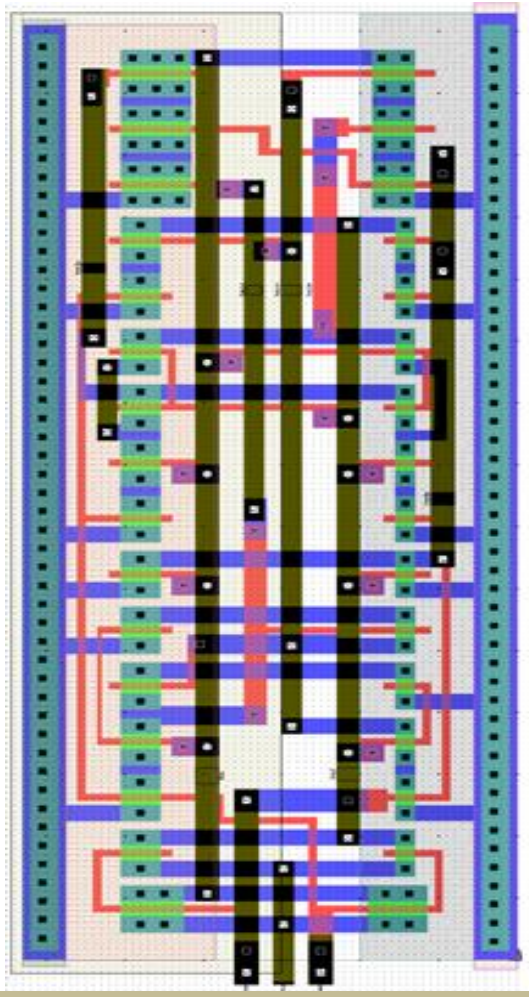
۴. طراحی چیدمان فیزیکی ساختار HPRL

در ساختار HPRL با توجه به نداشتن تک‌گره حساس و نیز شناخت جفت‌گره‌ها و سه‌گره‌های حساس مطابق جداول (۲) و (۳)، می‌توان طراحی در سطح Layout را به‌صورتی انجام داد که این گره‌ها با فاصله از هم قرار گیرند، به‌گونه‌ای که برخورد ذره نتواند هم‌زمان تمامی آن‌ها را تحت تأثیر قرار دهد.ازاین‌رو، احتمال خطای نرم ناشی از اشکالات تک‌رخداد و نیز چندرخداد واژگونی تا میزان بیشتری کاهش داده می‌شود؛ برای مثال، شکل (۱۱) چیدمان فیزیکی (Layout) نمونه‌ای را جهت پیاده‌سازی ساختار HPRL نشان می‌دهد.

شایان ذکر است Layout مطرح‌شده با هدف پیشنهاد چیدمان و تأکید بر تأثیر آن بر رفتار مدار ارائه شده است. ازاین‌رو به‌دلیل دسترسی نداشتن به تکنولوژی ۶۵ نانومتر، در تکنولوژی ۲۵۰ نانومتر ترسیم گشته و در آن سعی شده تا حد ممکن گره‌های حساس با فاصله از هم قرار گیرند. از همین ایده می‌توان در سایر تکنولوژی‌ها نیز بهره جست.

۵. خلاصه و نتیجه‌گیری

برخورد ذرات اتمی پرانرژی با مواد سازندهٔ تراشه می‌تواند باعث تزریق بار، تغییر ناخواستهٔ داده و اختلال در کارکرد مدار شود. میزان این اختلال نرم با پیشرفت تکنولوژی و اعمال روش‌های کاهش توان، در حال افزایش است. المان‌های ذخیره‌سازی اطلاعات بیشتر در معرض خطر خطای نرم هستند. در کار حاضر برای مقابله با این خطا، مقاوم‌سازی المان‌های ذخیره‌سازی مورد توجه قرار گرفت و لچ جدیدی پیشنهاد شد. در مدار پیشنهادی، از حلقهٔ فیدبک سه‌گانه به هنگام قرارگیری لچ در وضعیت نگهداری از داده استفاده شده است. نتایج شبیه‌سازی‌ها نشان دادند که مدار پیشنهادی علاوه بر عملکرد عادی مطلوب، در گوشه‌های تکنولوژی نیز از مقاومت بالایی نسبت به برخورد ذرات پرانرژی برخوردار بوده و در مقایسه با سایر ساختارهای مطرح‌شده، دارای تأخیر و توان مصرفی کمتری است.



شکل (۱۱): Layout پیشنهادی برای پیاده‌سازی طرح HPR

مراجع

[1] J.C. Knight, "Safety Critical Systems: Challenges and Directions," In Proceedings of the 24th International Conference on Software Engineering (ICSE), pp. 547-550, 2002.

[2] C. Constantinescu, "Impact of Deep Submicron Technology on Dependability of VLSI circuits," IEEE International Conference on Dependable Systems and Networks, pp. 205-209, 2002.

[3] P. Reviriego, J. A. Maestro, and C. Catalina, "Reliability Analysis of Memories Suffering Multiple Bit Upsets," IEEE Transactions on Device and Materials Reliability, vol. 7, no. 4, pp. 592-601, 2007.

[4] D. Giot, P. Roche, G. Gasiot, and R. Harboe-Surensen. "Multiple-Bit Upset Analysis in 90 nm SRAMs: Heavy Ions Testing and 3D Simulations." IEEE Transactions on Nuclear Science, vol. 4, no. 54, pp. 904-911, 2007.

[5] T. Merelle, F. Saigne, B. Sagnes, G. Gasiot, Ph. Roche, T. Carriere, M.-C. Palau, F. Wrobel, and J.-M. Palau, "Monte-carlo Simulations to Quantify Neutron-Induced Multiple Bit Upsets in Advanced Srams," IEEE Transactions on Nuclear Science, vol. 52, no. 5, pp. 1538-1544, 2005.

[6] J. A. Maestro and P. Reviriego, "Study of the Effects of MBUs on the Reliability of a 150 nm SRAM Device," In Proceedings of the 45th annual Design Automation Conference, pp.930-935, 2008.

[7] H. Madeira, J. Camoes, and J.G. Silva, "Signature Verification: a New Concept for Building Simple and Effective Watchdog Processors," In Proceedings of 6th Mediterranean Electro Technical Conference, pp.1188-1191, 1991.

[8] R. Naseer, Y. Boulghassoul, J. Draper, S. DasGupta, and A. Witulski, "Critical Charge Characterization for Soft Error Rate Modeling in 90nm SRAM," IEEE International Symposium on Circuits and Systems,

pp.1879-1882, 2007.
[9] V. Degalahal, R. Ramanarayanan, N. Vijaykrishnan, and M. J. Irwin, "Effect of Power Optimizations on Soft Error Rate," IFIP International Federation for Information Processing, pp. 1-20, 2006.
[10] R. Baumann, "Soft Errors in Advanced Computer Systems," IEEE Design & Test of Computers, vol. 22, no. 3, pp. 258-266, 2005.
[11] V. Chandra, and R. Aitken, "Impact of Technology and Voltage Scaling on the Soft Error Susceptibility in Nanoscale CMOS," IEEE International Symposium on Defect and Fault Tolerance of VLSI Systems, pp.114-122, 1-3 2008.
[12] S. Krishnaswamy, I. L. Markov, and J. P. Hayes, "On the Role of Timing Masking in Reliable Logic Circuit Design," IEEE Design Automation Conference, pp. 924-929, 2008.
[13] W. Fan and V. D. Agrawal, "Soft Error Rates with Inertial and Logical Masking," 22nd International Conference on VLSI Design, pp. 459-464, 2009.
[14] N. Seifert, P. Shipley, M. D. Pant, V. Ambrose, and B. GiII, "Radiation-induced Clock Jitter and Race," IEEE International Reliability Physics Symposium, pp. 215-222, 2005.
[15] M. Nicolaidis, "Design for Soft Error Mitigation," IEEE Transactions on Device and Materials Reliability, vol. 5, no. 3, pp. 405-418, 2005.
[16] N. Weste, D. Harris, CMOS VLSI Design, Addison Wesley, 2004.
[17] M. Omaña, D. Rossi, and C. Metra, "Latch Susceptibility to Transient Faults and New Hardening Approach," IEEE Transactions on Computers, vol. 56, no. 9, pp. 1255-1268, 2007.
[18] T. Calin, M. Nicolaidis, and R. Velazco, "Upset Hardened Memory Design for Submicron CMOS Technology," IEEE Transactions on Nuclear Science, vol. 43, no. 6, pp. 2874-2878, 1996.
[19] Y. Sasaki, K. Namba, and H. Ito, "Circuit and Latch Capable of Masking Soft Errors with Schmitt Trigger," Journal of Electron Test, pp. 11-19, 2008.
[20] R. Naseer, and J. Draper, "DF-DICE: a Scalable Solution for Soft Error Tolerant Circuit Design," IEEE International Symposium on Circuits and Systems, pp.3890-3893, 2006.
[21] S. Mitra, Z. Ming, T. M. Mak, N. Seifert, V. Zia, and Kee Sup Kim, "Logic Soft Errors: A Major Barrier to Robust Platform Design," IEEE International Test Conference, pp. 10, 2005.
[22] P. Shivakumar, M. Kistler, S. W. Keckler, D. Burger, and L. Alvisi, "Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic," International Conference on Dependable Systems and Networks, pp. 389-398, 2002.
[23] M. Fazeli, S. G. Miremadi, A. Ejlali, and A. Patooghy, "Low Energy Single Event Upset/Single Event Transient-Tolerant Latch for Deep SubMicron Technologies," IET computers & digital techniques, vol. 3, no. 3, pp. 289-303, 2009.
P. Hazucha, T. Karnik, S. Walstra, B. A. Bloechel, J. W. Tschanz, J. Maiz, et al., "Measurements and Analysis of SER-Tolerant Latch in a 90-nm Dual-Vt CMOS Process," IEEE Journal of Solid-State Circuits, vol. 39, no. 4, pp. 1536-1543, 2004.
[24] B. Stackhouse, S. Bhimji, C. Bostak, D. Bradley, B. Cherkauer, J. Desai, E. Francom, M. Gowan, P. Gronowski, D. Krueger, C. Morganti, and S. Troyer, "A 65 nm 2-Billion Transistor Quad-Core Itanium Processor," IEEE Journal of Solid-State Circuits, vol. 44, no. 1, pp. 18-31, 2009.
[25] B. Narasimham, B. L. Bhuva, W. T. Holman, R. D. Schrimpf, L. W. Massengill, A. F. Witulski, and W. H. Robinson, "The Effect of Negative Feedback on Single Event Transient Propagation in Digital Circuits," IEEE Transactions on Nuclear Science, vol. 53, no. 6, pp. 3285-3290, 2006.
[26] B. Narasimham, R. L. Shuler, J. D. Black, B. L. Bhuva, R. D. Schrimpf, A. F. Witulski, W. T. Holman, and L. W. Massengill, "Quantifying the Reduction in Collected Charge and Soft Errors in the Presence of Guard Rings," IEEE Transactions on Device and Materials Reliability, vol. 8, no. 1, pp. 203-209, 2008.
[27] A. J. KleinOsowski, E. H. Cannon, M. S. Gordon, D. F. Heidel, P. Oldiges, C. Plettner, K. P. Rodbell, R. D. Rose, and H. H. K. Tang, "Latch Design Techniques for Mitigating Single Event Upsets in 65 nm SOI Device Technology," IEEE Transactions on Nuclear Science, vol. 54, no. 6, pp. 2021-2027, 2007.
[28] J. Dutertre and F. Roche, "Robustness of CMOS Circuits Designed for Space and Terrestrial Environment," 2001.
[29] R. Dash, R. Garg, S. P. Khatri, and G. Choi, "SEU Hardened Clock Regeneration Circuits," In Quality of Electronic Design, pp. 806-813, 2009.
[30] http://ptm.asu.edu
[31] V. G. Oklobdzija, V. M. Stojanovic, D. M. Markovic, and N. M. Nedovic, Digital System Clocking: High-Performance and Low-Power Aspects, John Wiley & Sons, 2005.
[32] M. Omañ,a, D. Rossi and C. Metra, "High-Performance Robust Latches," IEEE Transactions on Computers, vol. 59, no. 11, pp. 1455-1465, 2010.
[33] M. Glorieux, S. Clerc, G. Gasiot, J.-L. Autran, and P. Roche, "New D-Flip-Flop Design in 65 nm CMOS for Improved SEU and Low Power Overhead at System Level," IEEE Transactions on Nuclear Science, vol. 60, no. 6, pp. 4381-4386, 2013.
[34] M. Omaña, D. Rossi and C. Metra, "Novel Transient Fault Hardened Static Latch," IEEE International Test Conference, pp. 886-892, 2003.
[35] R. Rajaei, M. Tabandeh, and M. Fazeli, "Low Cost Soft Error Hardened Latch Designs for Nano-Scale CMOS Technology in Presence of Process Variation," Microelectronics Reliability, vol. 53, no. 6, pp. 912-924, 2013.